

10/506371

PCT/JP03/02578

Rec'd PCT/PTO 02 SEP 2004 #2

27.03.03

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 3月 5日

出 願 番 号
Application Number:

特願2002-059553

[ST.10/C]:

[JP2002-059553]

出 願 人
Applicant(s):

日本電気株式会社

REC'D 23 MAY 2003

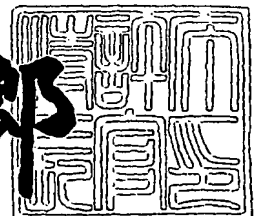
WIPO PCT

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 5月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3033260

【書類名】 特許願

【整理番号】 76110417

【提出日】 平成14年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 03/30
G09G 03/20

【発明者】

 【住所又は居所】 東京都港区芝 5 丁目 7 番 1 号 日本電気株式会社内

 【氏名】 佐々木 勇男

【発明者】

 【住所又は居所】 東京都港区芝 5 丁目 7 番 1 号 日本電気株式会社内

 【氏名】 井口 康一

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100099830

 【弁理士】

 【氏名又は名称】 西村 征生

 【電話番号】 048-825-8201

【手数料の表示】

 【予納台帳番号】 038106

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9407736

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置及び該画像表示装置に用いられる制御方法

【特許請求の範囲】

【請求項 1】 該当する階調画素データが印加される複数の信号線、設定された順序で走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 1 の電極及び第 2 の電極を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、

前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにすることにより前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項 2】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、リセット信号が印加される複数のリセット信号線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有するリセットトランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

前記リセットトランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のソース電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極に第 2 の電源電圧が印加され、前記第 3 のゲート電極が前記リセット信号線に接続され、前記リセット信号に基づいて前記第 2 のソース電極と前記第 2 の電源電圧との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、

前記リセットトランジスタをオン状態にすることにより、前記保持コンデンサ及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項 3】 該当する階調画素データが印加される複数の信号線、走査信

号が印加される複数の走査線、リセット信号が印加される複数のリセット信号線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有するリセットトランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電

極へ流し、

前記リセットトランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極に第 2 の電源電圧が印加され、前記第 3 のゲート電極が前記リセット信号線に接続され、前記リセット信号に基づいて前記第 2 のゲート電極と前記第 2 の電源電圧との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、

前記リセットトランジスタをオン状態にすることにより、前記保持コンデンサ及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項 4】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動

トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

前記画素表示素子は、

前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、

前記選択トランジスタをオン状態にすると共に前記信号線からリセット信号電圧を入力することにより、前記保持コンデンサ及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項 5】 該当する階調画素データが印加される複数の信号線、走査信

号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

第 1 の電源電圧及び第 2 の電源電圧を前記表示パネルへ供給する電源供給回路とを備えてなる画像表示装置であって、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

前記画素表示素子は、

前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前

記出力電流に基づいた階調の画素を表示する構成とされ、

前記第 1 の電源電圧をリセット信号電圧とすることにより、前記保持コンデンサ及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項 6】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第2のソース電極に第1の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のドレイン電極から前記画素表示素子の前記第1の電極へ流し、

前記制御トランジスタは、

前記第3のドレイン電極／第3のソース電極が前記第2のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のドレイン電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第2のゲート電極と前記第2のドレイン電極との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第2の電極に第2の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオフ状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項7】 該当する階調画素データが印加される複数の信号線、走査信

号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、

前記制御トランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項 8】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択

トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のドレイン電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、

前記制御トランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態

とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項9】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、

第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する出力駆動トランジスタと、

前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、

第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、

第4のドレイン電極、第4のソース電極、及び第4のゲート電極を有する入力駆動トランジスタと、

第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極と

の間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記制御トランジスタの前記第 3 のドレイン電極／第 3 のソース電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 3 のドレイン電極／第 3 のソース電極との間の導通状態をオン／オフ制御し、

前記出力駆動トランジスタは、

前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される第 1 の出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、

前記制御トランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のゲート電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 1 のソース電極／第 1 のドレイン電極と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記入力駆動トランジスタは、

前記第 4 のソース電極に第 1 の電源電圧が印加され、前記第 4 のドレイン電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 4 のゲート電極が前記第 2 のゲート電極に接続され、前記第 4 のソース電極と前記第 4 のゲート電極との間の電圧に基づいて制御される第 2 の出力電流を前記第 4 のソース電極から前記第 4 のドレイン電極へ流し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記出力駆動トランジスタの前記第 1 の出力電流に基づいた階調の画素を表示する構成とされ、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタを

オン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記出力駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項10】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置であって、

前記各画素は、

第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、

第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する出力駆動トランジスタと、

前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、

第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、

第4のドレイン電極、第4のソース電極、及び第4のゲート電極を有する入力駆動トランジスタと、

第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記制御トランジスタの前記第 3 のドレイン電極／第 3 のソース電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 3 のドレイン電極／第 3 のソース電極との間の導通状態をオン／オフ制御し、

前記出力駆動トランジスタは、

前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される第 1 の出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、

前記制御トランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 1 のソース電極／第 1 のドレイン電極に接続されると共に前記第 4 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のゲート電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 1 のソース電極／第 1 のドレイン電極と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記入力駆動トランジスタは、

前記第 4 のソース電極に第 1 の電源電圧が印加され、前記第 4 のドレイン電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 4 のゲート電極が前記第 4 のドレイン電極に接続され、前記第 4 のソース電極と前記第 4 のゲート電極との間の電圧に基づいて制御される第 2 の出力電流を前記第 4 のソース電極から前記第 4 のドレイン電極へ流し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記出力駆動トランジスタの前記第 1 の出力電流に基づいた階調の画素を表示する構成とされ、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素デ

ータの電荷を前記入力駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記出力駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴とする画像表示装置。

【請求項11】 前記画素表示素子は、

有機EL（エレクトロ・ルミネセンス）で構成されていることを特徴とする請求項1乃至10記載の画像表示装置。

【請求項12】 該当する階調画素データが印加される複数の信号線、設定された順序で走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバとを備え、

前記各画素は、

第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、

第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、

前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、

第1の電極及び第2の電極を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、

前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、

前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電処理と、

前記放電処理の後、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにすることにより前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項 1 3】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、リセット信号が印加される複数のリセット信号線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとを備え、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有するリセ

ットトランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

前記リセットトランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のソース電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極に第 2 の電源電圧が印加され、前記第 3 のゲート電極が前記リセット信号線に接続され、前記リセット信号に基づいて前記第 2 のソース電極と前記第 2 の電源電圧との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、

前記リセットトランジスタをオン状態にすることにより、前記保持コンデンサ及び寄生容量を放電させる第 1 の放電処理と、

前記第 1 の放電処理の後、前記選択トランジスタをオン状態にすることにより

、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、

前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する第2の放電処理と、

前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項14】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、リセット信号が印加される複数のリセット信号線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとを備え、

前記各画素は、

第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、

第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、

第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有するリセットトランジスタと、

前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、

第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第2のドレイン電極に第1の電源電圧が印加され、前記第2のソース電極が前記画素表示素子の前記第1の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のソース電極から前記第1の電極へ流し、

前記リセットトランジスタは、

前記第3のドレイン電極／第3のソース電極が前記第2のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極に第2の電源電圧が印加され、前記第3のゲート電極が前記リセット信号線に接続され、前記リセット信号に基づいて前記第2のゲート電極と前記第2の電源電圧との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第2の電極に前記第2の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において

前記リセットトランジスタをオン状態にすることにより、前記保持コンデンサ及び寄生容量を放電させる第1の放電処理と、

前記第1の放電処理の後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、

前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する第2の放電処理と、

前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された

階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項 1 5】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバとを備え、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

前記画素表示素子は、

前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、

前記選択トランジスタをオン状態にすると共に前記信号線からリセット信号電圧を入力することにより、前記保持コンデンサ及び寄生容量を放電させる第 1 の放電処理と、

前記第 1 の放電処理の後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書き込み処理と、

前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する第 2 の放電処理と、

前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項 16】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

第 1 の電源電圧及び第 2 の電源電圧を前記表示パネルへ供給する電源供給回路とを備え、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コ

ンデンサと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、

前記画素表示素子は、

前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において

前記第 1 の電源電圧をリセット信号電圧とすることにより、前記保持コンデンサ及び寄生容量を放電させる第 1 の放電処理と、

前記第 1 の放電処理の後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書き込み処理と、

前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する第 2 の放電処理と、

前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項 1 7】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、

前記制御トランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオフ状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、

前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電処理と、

前記放電処理の後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項 1 8】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択

トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、

前記制御トランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態

とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、

前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電処理と、

前記放電処理の後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項19】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、

前記各画素は、

第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、

第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、

前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、

第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、

第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のドレイン電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記駆動トランジスタは、

前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、

前記制御トランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、

前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電処理と、

前記放電処理の後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項 2 0】 該当する階調画素データが印加される複数の信号線、走査

信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、

前記各画素は、

第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する出力駆動トランジスタと、

前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、

第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、

第 4 のドレイン電極、第 4 のソース電極、及び第 4 のゲート電極を有する入力駆動トランジスタと、

第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記制御トランジスタの前記第 3 のドレイン電極／第 3 のソース電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 3 のドレイン電極／第 3 のソース電極との間の導通状態をオン／オフ制御し、

前記出力駆動トランジスタは、

前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される第 1 の出力電流を前記第 2 のドレイン電極から

前記画素表示素子の前記第1の電極へ流し、

前記制御トランジスタは、

前記第3のドレイン電極／第3のソース電極が前記第1のソース電極／第1のドレイン電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のゲート電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第1のソース電極／第1のドレイン電極と前記第2のゲート電極との間の導通状態をオン／オフ制御し、

前記入力駆動トランジスタは、

前記第4のソース電極に第1の電源電圧が印加され、前記第4のドレイン電極が前記第1のソース電極／第1のドレイン電極に接続され、前記第4のゲート電極が前記第2のゲート電極に接続され、前記第4のソース電極と前記第4のゲート電極との間の電圧に基づいて制御される第2の出力電流を前記第4のソース電極から前記第4のドレイン電極へ流し、

前記画素表示素子は、

前記第2の電極に第2の電源電圧が印加され、前記出力駆動トランジスタの前記第1の出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込みむ画素データ書き込み処理と、

前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電する放電処理と、

前記放電処理の後、前記制御トランジスタをオフ状態にすることにより、前記出力駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項21】 該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及

び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、

画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、

前記走査信号を前記各走査線に印加する走査線ドライバと、

前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、

前記各画素は、

第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、

第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する出力駆動トランジスタと、

前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、

第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、

第4のドレイン電極、第4のソース電極、及び第4のゲート電極を有する入力駆動トランジスタと、

第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、

前記選択トランジスタは、

前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記制御トランジスタの前記第3のドレイン電極／第3のソース電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第3のドレイン電極／第3のソース電極との間の導通状態をオン／オフ制御し、

前記出力駆動トランジスタは、

前記第2のソース電極に第1の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される第1の出力電流を前記第2のドレイン電極から前記画素表示素子の前記第1の電極へ流し、

前記制御トランジスタは、

前記第 3 のドレイン電極／第 3 のソース電極が前記第 1 のソース電極／第 1 のドレイン電極に接続されると共に前記第 4 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のゲート電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 1 のソース電極／第 1 のドレイン電極と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、

前記入力駆動トランジスタは、

前記第 4 のソース電極に第 1 の電源電圧が印加され、前記第 4 のドレイン電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 4 のゲート電極が前記第 4 のドレイン電極に接続され、前記第 4 のソース電極と前記第 4 のゲート電極との間の電圧に基づいて制御される第 2 の出力電流を前記第 4 のソース電極から前記第 4 のドレイン電極へ流し、

前記画素表示素子は、

前記第 2 の電極に第 2 の電源電圧が印加され、前記出力駆動トランジスタの前記第 1 の出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、

前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込みむ画素データ書き込み処理と、

前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電する放電処理と、

前記放電処理の後、前記制御トランジスタをオフ状態にすることにより、前記出力駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴とする制御方法。

【請求項 2 2】 前記画素表示素子は、

有機 EL（エレクトロ・ルミネセンス）で構成されていることを特徴とする請

求項 1 2 乃至 2 1 記載の制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、画像表示装置及び該画像表示装置に用いられる制御方法に係り、例えば、有機 EL（エレクトロ・ルミネセンス）ディスプレイなど、階調画素データに基づいて電流駆動される画素表示素子を用いた画像表示装置及び該画像表示装置に用いられる制御方法に関する。

【0 0 0 2】

【従来の技術】

有機 EL ディスプレイなどのように、電流駆動される画素表示素子を用いた画像表示装置では、同画素表示素子を駆動するための駆動トランジスタが 1 画素毎に設けられている。そして、駆動トランジスタのゲート・ソース間に接続された保持コンデンサに階調画素データが書き込まれ、表示期間中保持される。この場合、保持コンデンサには、画素の表示輝度に対応した信号電荷が書き込まれ、この信号電荷に応じた電流が駆動トランジスタから画素表示素子に供給される。

【0 0 0 3】

この種の画像表示装置は、従来では例えば図 3 7 に示すように、表示パネル 1 0 と、制御回路 2 0 と、信号線ドライバ 3 0 と、走査線ドライバ 4 0 とから構成されている。表示パネル 1 0 は、例えば、有機 EL ディスプレイなどで構成され、階調画素データ D が印加される複数の信号線 $X_1, \dots, X_i, \dots, X_n$ 、走査信号 V が印加される複数の走査線 $Y_1, \dots, Y_j, \dots, Y_m$ 、及び各信号線 $X_1, \dots, X_i, \dots, X_n$ と各走査線 $Y_1, \dots, Y_j, \dots, Y_m$ との交差箇所に設けられた複数の画素 1 0_{ij} ($i = 1, 2, \dots, n, j = 1, 2, \dots, m$) を有し、これらの画素 1 0_{ij} のうちの走査信号 V によって選択された走査線上の画素に階調画素データ D を供給することによって画像を表示する。

【0 0 0 4】

制御回路 2 0 は、外部から供給される画像入力信号 V D を信号線ドライバ 3 0 に供給するとともに、垂直走査信号 P V を走査線ドライバ 4 0 に供給する。信号

線ドライバ30は、画像入力信号VDに応じた階調画素データDを各信号線X1, ..., X_i, ..., X_nに印加する。走査線ドライバ40は、制御回路2から供給される垂直走査信号PVに同期したタイミングで走査信号Vを順次生成し、表示パネル10の対応する走査線Y1, ..., Y_j, ..., Y_mに順次印加する。

【0005】

図38は、図37中の画素10_{i,j}（例えば、 $i=3$, $j=2$ ）の電氣的構成を示す回路図である。

この画素10_{3,2}は、同図に示すように、電源ライン11と、グランドライン12と、nチャネル型MOSFET（以下、「nMOS」という）で構成された選択トランジスタ13_{3,2}と、保持コンデンサ14_{3,2}と、pチャネル型MOSFET（以下、「pMOS」という）で構成された駆動トランジスタ15_{3,2}と、画素表示素子16_{3,2}と、寄生容量17_{3,2}とから構成されている。また、画素10_{3,2}に隣接する図示しない画素10_{4,2}, 10_{5,2}など、他の画素10_{i,j}も、同様の構成になっている。

【0006】

この画素10_{3,2}では、選択期間中、すなわち、走査信号Vが走査線Y2に印加されたとき、選択トランジスタ13_{3,2}がオン状態となり、信号線X₃に入力された階調画素データDが駆動トランジスタ15_{3,2}のゲート・ソース間に印加される。このとき、保持コンデンサ14_{3,2}が充電される。次に、選択期間から非選択期間に切り替わったとき、選択トランジスタ13_{3,2}がオフ状態になる。駆動トランジスタ15_{3,2}のゲート・ソース間電圧VGSは、保持コンデンサ14_{3,2}によって保持されるため、非選択期間中も、書き込まれた階調画素データDに応じた電流IL_{3,2}が駆動トランジスタ15_{3,2}から画素表示素子16_{3,2}に供給される。また、画素10_{3,2}に隣接する画素10_{4,2}, 10_{5,2}などでも、同様の動作が行われる。

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来の画像表示装置では、次のような問題点があった。

すなわち、図39に示すように、画素10_{3,2}の駆動トランジスタ15_{3,2}、

画素 $10_{4,2}$ の駆動トランジスタ $15_{4,2}$ 、及び画素 $10_{5,2}$ の駆動トランジスタ $15_{5,2}$ の $V_{GS}-I_{DS}$ （ゲート・ソース間電圧-ドレイン・ソース間電流）特性は、個々のpMOSによってばらつきがある。特に、しきい値のばらつきが大きく、駆動トランジスタ $15_{3,2}$ 、 $15_{4,2}$ 、 $15_{5,2}$ の各ゲート・ソース間に同一の階調画素データDを印加しても、各ドレイン・ソース間電流 I_{DS} は、 $I_{L3,2}$ 、 $I_{L4,2}$ 、 $I_{L5,2}$ となり、それぞれ異なる。このため、画素 $10_{3,2}$ の画素表示素子 $16_{3,2}$ 、画素 $10_{4,2}$ の画素表示素子 $16_{4,2}$ 、及び画素 $10_{5,2}$ の画素表示素子 $16_{5,2}$ に流れる電流がばらつくので、これらの画素表示素子 $16_{3,2}$ 、 $16_{4,2}$ 、 $16_{5,2}$ の発光輝度にばらつきが発生し、表示画面の画質が低下するという問題点があった。

【0008】

この発明は、上述の事情に鑑みてなされたもので、各画素表示素子の発光輝度のばらつきを抑え、表示画面の画質が向上する画像表示装置及び該画像表示装置に用いられる制御方法を提供することを目的としている。

【0009】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、該当する階調画素データが印加される複数の信号線、設定された順序で走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第1の電極及び第2の電極を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前

記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第2のドレイン電極に第1の電源電圧が印加され、前記第2のソース電極が前記画素表示素子の前記第1の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のソース電極から前記第1の電極へ流し、前記画素表示素子は、前記第2の電極に第2の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記駆動トランジスタの前記第2のゲート電極をフローティングにすることにより前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【0010】

請求項2記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、リセット信号が印加される複数のリセット信号線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有するリセットトランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン

電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、前記リセットトランジスタは、前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のソース電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極に第 2 の電源電圧が印加され、前記第 3 のゲート電極が前記リセット信号線に接続され、前記リセット信号に基づいて前記第 2 のソース電極と前記第 2 の電源電圧との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、前記リセットトランジスタをオン状態にすることにより、前記保持コンデンサ及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【 0 0 1 1 】

請求項 3 記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、リセット信号が印加される複数のリセット信号線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第 1 のドレイ

ン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有するリセットトランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第2のドレイン電極に第1の電源電圧が印加され、前記第2のソース電極が前記画素表示素子の前記第1の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のソース電極から前記第1の電極へ流し、前記リセットトランジスタは、前記第3のドレイン電極／第3のソース電極が前記第2のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極に第2の電源電圧が印加され、前記第3のゲート電極が前記リセット信号線に接続され、前記リセット信号に基づいて前記第2のゲート電極と前記第2の電源電圧との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第2の電極に前記第2の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、前記リセットトランジスタをオン状態にすることにより、前記保持コンデンサ及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【 0 0 1 2 】

請求項 4 記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、前記画素表示素子は、前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、前記選択トランジスタをオン状態にすると共に前記信号線からリセット信号電圧を入力することにより、前記保持コンデンサ及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていること

を特徴としている。

【 0 0 1 3 】

請求項 5 記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、第 1 の電源電圧及び第 2 の電源電圧を前記表示パネルへ供給する電源供給回路とを備えてなる画像表示装置に係り、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、前記画素表示素子は、前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、前記第 1 の電源電圧をリセット信号電圧とすることにより、前記保持コンデンサ及び寄生容量を放電させ、この後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフロー

ティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【 0 0 1 4 】

請求項 6 記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、前記制御トランジスタは、前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流

に基づいた階調の画素を表示する構成とされ、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオフ状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【 0 0 1 5 】

請求項7記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第2のソース電極に第1の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御

される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、前記制御トランジスタは、前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【 0 0 1 6 】

請求項 8 記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極

と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のドレイン電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、前記制御トランジスタは、前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされ、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【 0 0 1 7 】

請求項 9 記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドラ

イバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する出力駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、第 4 のドレイン電極、第 4 のソース電極、及び第 4 のゲート電極を有する入力駆動トランジスタと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記制御トランジスタの前記第 3 のドレイン電極／第 3 のソース電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 3 のドレイン電極／第 3 のソース電極との間の導通状態をオン／オフ制御し、前記出力駆動トランジスタは、前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される第 1 の出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、前記制御トランジスタは、前記第 3 のドレイン電極／第 3 のソース電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のゲート電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 1 のソース電極／第 1 のドレイン電極と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記入力駆動トランジスタは、前記第 4 のソース電極に第 1 の電源電圧が印加され、前記第 4 のドレイン電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 4 のゲート電極が前記第 2 のゲート電極に接続され、前記第 4 のソース電極と前記第 4 のゲート電極との間の電圧に基づいて制御される第 2 の出力電流を前記第 4 のソース電極から前記第 4 のドレイン電極へ流し、前記画素表示素子は、前記第 2 の電極に第 2 の電源電圧が印加され、前記出力駆動トランジスタの前記第 1 の出力電流に基づいた階調の画素を表示する構成と

され、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態にすることにより、前記出力駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【 0 0 1 8 】

請求項10記載の発明は、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備えてなる画像表示装置に係り、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する出力駆動トランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、第4のドレイン電極、第4のソース電極、及び第4のゲート電極を有する入力駆動トランジスタと、第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記制御トランジスタの前記第3のドレイン電極／第3のソース電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第3のドレイン電極／第3のソース電極との間の導通状態を

オン／オフ制御し、前記出力駆動トランジスタは、前記第2のソース電極に第1の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される第1の出力電流を前記第2のドレイン電極から前記画素表示素子の前記第1の電極へ流し、前記制御トランジスタは、前記第3のドレイン電極／第3のソース電極が前記第1のソース電極／第1のドレイン電極に接続されると共に前記第4のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のゲート電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第1のソース電極／第1のドレイン電極と前記第2のゲート電極との間の導通状態をオン／オフ制御し、前記入力駆動トランジスタは、前記第4のソース電極に第1の電源電圧が印加され、前記第4のドレイン電極が前記第1のソース電極／第1のドレイン電極に接続され、前記第4のゲート電極が前記第4のドレイン電極に接続され、前記第4のソース電極と前記第4のゲート電極との間の電圧に基づいて制御される第2の出力電流を前記第4のソース電極から前記第4のドレイン電極へ流し、前記画素表示素子は、前記第2の電極に第2の電源電圧が印加され、前記出力駆動トランジスタの前記第1の出力電流に基づいた階調の画素を表示する構成とされ、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込み、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電し、この後、前記制御トランジスタをオフ状態とすることにより、前記出力駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する制御手段が設けられていることを特徴としている。

【0019】

請求項11記載の発明は、請求項1乃至10記載の画像表示装置に係り、前記画素表示素子は、有機ELで構成されていることを特徴としている。

【0020】

請求項12記載の発明は、画像表示装置に用いられる制御方法に係り、該当す

る階調画素データが印加される複数の信号線、設定された順序で走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバとを備え、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第1の電極及び第2の電極を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第2のドレイン電極に第1の電源電圧が印加され、前記第2のソース電極が前記画素表示素子の前記第1の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のソース電極から前記第1の電極へ流し、前記画素表示素子は、前記第2の電極に第2の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電処理と、前記放電処理の後、前記駆動トランジスタの前記第2のゲート電極をフローティングにすることにより前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【0021】

請求項13記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査

線、リセット信号が印加される複数のリセット信号線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとを備え、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有するリセットトランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第2のドレイン電極に第1の電源電圧が印加され、前記第2のソース電極が前記画素表示素子の前記第1の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のソース電極から前記第1の電極へ流し、前記リセットトランジスタは、前記第3のドレイン電極／第3のソース電極が前記第2のソース電極に接続され、前記第3のソース電極／第3のドレイン電極に第2の電源電圧が印加され、前記第3のゲート電極が前記リセット信号線に接続され、前記リセット信号に基づいて前記第2のソース電極と前記第2の電源電圧との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第2の電極に前記第2の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記リセットトランジスタをオン状態にすることにより、前記保持コンデンサ及び寄生容量を放電させる第1の放電処理と、前記第1の放電処理の後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保

持コンデンサへ前記階調画素データを書き込む画素データ書き込み処理と、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する第2の放電処理と、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【0022】

請求項14記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、リセット信号が印加される複数のリセット信号線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記リセット信号を前記各リセット信号線に印加するリセット信号線ドライバとを備え、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有するリセットトランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第2のドレイン電極に第1の電源電圧が印加され、前記第2のソース電極が前記画素表示素子の前記第1の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のソース電極から前記第1の電極へ流し、前記リセットトランジスタは、前記第3のドレイ

ン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極に第 2 の電源電圧が印加され、前記第 3 のゲート電極が前記リセット信号線に接続され、前記リセット信号に基づいて前記第 2 のゲート電極と前記第 2 の電源電圧との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記リセットトランジスタをオン状態にすることにより、前記保持コンデンサ及び寄生容量を放電させる第 1 の放電処理と、前記第 1 の放電処理の後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する第 2 の放電処理と、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【 0 0 2 3 】

請求項 1 5 記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバとを備え、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極

に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、前記画素表示素子は、前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記選択トランジスタをオン状態にすると共に前記信号線からリセット信号電圧を入力することにより、前記保持コンデンサ及び寄生容量を放電させる第 1 の放電処理と、前記第 1 の放電処理の後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する第 2 の放電処理と、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【 0 0 2 4 】

請求項 1 6 記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、第 1 の電源電圧及び第 2 の電源電圧を前記表示パネルへ供給する電源供給回路とを備え、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間

に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第 2 のドレイン電極に第 1 の電源電圧が印加され、前記第 2 のソース電極が前記画素表示素子の前記第 1 の電極に接続され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のソース電極から前記第 1 の電極へ流し、前記画素表示素子は、前記第 2 の電極に前記第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記第 1 の電源電圧をリセット信号電圧とすることにより、前記保持コンデンサ及び寄生容量を放電させる第 1 の放電処理と、前記第 1 の放電処理の後、前記選択トランジスタをオン状態にすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する第 2 の放電処理と、前記選択トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【 0 0 2 5 】

請求項 1 7 記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、

第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第2のソース電極に第1の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のドレイン電極から前記画素表示素子の前記第1の電極へ流し、前記制御トランジスタは、前記第3のドレイン電極／第3のソース電極が前記第2のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のドレイン電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第2のゲート電極と前記第2のドレイン電極との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第2の電極に第2の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオフ状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電処理と、前記放電処理の後、前記制御トランジスタをオフ状態とすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【 0 0 2 6 】

請求項 1 8 記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、前記制御トランジスタは、前記第 3 のドレイン電極／第 3 のソース電極が前記第 2 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のドレイン電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 2 のゲート電極と前記第 2 のドレイン電極との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第 2 の電極に第 2 の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素

データを書き込む画素データ書込み処理と、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電処理と、前記放電処理の後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【0027】

請求項19記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する駆動トランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、第1の電極及び第2の電極を有すると共に前記第1の電極と前記第2の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第1のドレイン電極／第1のソース電極が前記信号線に接続され、前記第1のソース電極／第1のドレイン電極が前記駆動トランジスタの前記第2のドレイン電極に接続され、前記第1のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第2のドレイン電極との間の導通状態をオン／オフ制御し、前記駆動トランジスタは、前記第2のソース電極に第1の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される出力電流を前記第2のドレイン電極から前記画素表示素子の前記第1の電極へ流し、前記制御トランジスタは、前記第3のドレイ

ン電極／第3のソース電極が前記第2のゲート電極に接続され、前記第3のソース電極／第3のドレイン電極が前記第2のドレイン電極に接続され、前記第3のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第2のゲート電極と前記第2のドレイン電極との間の導通状態をオン／オフ制御し、前記画素表示素子は、前記第2の電極に第2の電源電圧が印加され、前記駆動トランジスタの前記出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込む画素データ書込み処理と、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記駆動トランジスタを介して一定時間放電する放電処理と、前記放電処理の後、前記制御トランジスタをオフ状態にすることにより、前記駆動トランジスタの前記第2のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【0028】

請求項20記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、前記各画素は、第1のドレイン電極、第1のソース電極、及び第1のゲート電極を有する選択トランジスタと、第2のドレイン電極、第2のソース電極、及び第2のゲート電極を有する出力駆動トランジスタと、前記第2のゲート電極と前記第2のソース電極との間の電圧を保持する保持コンデンサと、第3のドレイン電極、第3のソース電極、及び第3のゲート電極を有する制御トランジスタと、第4のドレイン電極、第4のソース電極、及び第4のゲート電極を有する入力駆動トランジスタと、第1の電極及

び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記制御トランジスタの前記第 3 のドレイン電極／第 3 のソース電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 3 のドレイン電極／第 3 のソース電極との間の導通状態をオン／オフ制御し、前記出力駆動トランジスタは、前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される第 1 の出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、前記制御トランジスタは、前記第 3 のドレイン電極／第 3 のソース電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のゲート電極に接続され、前記第 3 のゲート電極が前記制御線に接続され、前記制御線駆動信号に基づいて前記第 1 のソース電極／第 1 のドレイン電極と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記入力駆動トランジスタは、前記第 4 のソース電極に第 1 の電源電圧が印加され、前記第 4 のドレイン電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 4 のゲート電極が前記第 2 のゲート電極に接続され、前記第 4 のソース電極と前記第 4 のゲート電極との間の電圧に基づいて制御される第 2 の出力電流を前記第 4 のソース電極から前記第 4 のドレイン電極へ流し、前記画素表示素子は、前記第 2 の電極に第 2 の電源電圧が印加され、前記出力駆動トランジスタの前記第 1 の出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込みむ画素データ書き込み処理と、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電する放電処理と、前記放電処理の後、前記制御トランジスタをオフ状態にすることにより、前記出力駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデ

ンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【 0 0 2 9 】

請求項 2 1 記載の発明は、画像表示装置に用いられる制御方法に係り、該当する階調画素データが印加される複数の信号線、走査信号が印加される複数の走査線、制御線駆動信号が印加される複数の制御線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルと、画像入力信号に基づいて前記階調画素データを前記各信号線に印加する信号線ドライバと、前記走査信号を前記各走査線に印加する走査線ドライバと、前記制御線駆動信号を前記各制御線に印加する制御線ドライバとを備え、前記各画素は、第 1 のドレイン電極、第 1 のソース電極、及び第 1 のゲート電極を有する選択トランジスタと、第 2 のドレイン電極、第 2 のソース電極、及び第 2 のゲート電極を有する出力駆動トランジスタと、前記第 2 のゲート電極と前記第 2 のソース電極との間の電圧を保持する保持コンデンサと、第 3 のドレイン電極、第 3 のソース電極、及び第 3 のゲート電極を有する制御トランジスタと、第 4 のドレイン電極、第 4 のソース電極、及び第 4 のゲート電極を有する入力駆動トランジスタと、第 1 の電極及び第 2 の電極を有すると共に前記第 1 の電極と前記第 2 の電極との間に寄生容量を有する画素表示素子とから構成され、前記選択トランジスタは、前記第 1 のドレイン電極／第 1 のソース電極が前記信号線に接続され、前記第 1 のソース電極／第 1 のドレイン電極が前記制御トランジスタの前記第 3 のドレイン電極／第 3 のソース電極に接続され、前記第 1 のゲート電極が前記走査線に接続され、前記走査信号に基づいて前記信号線と前記第 3 のドレイン電極／第 3 のソース電極との間の導通状態をオン／オフ制御し、前記出力駆動トランジスタは、前記第 2 のソース電極に第 1 の電源電圧が印加され、前記保持コンデンサが保持する電圧に基づいて制御される第 1 の出力電流を前記第 2 のドレイン電極から前記画素表示素子の前記第 1 の電極へ流し、前記制御トランジスタは、前記第 3 のドレイン電極／第 3 のソース電極が前記第 1 のソース電極／第 1 のドレイン電極に接続されると共に前記第 4 のゲート電極に接続され、前記第 3 のソース電極／第 3 のドレイン電極が前記第 2 のゲート電極に接続され、前記第 3 のゲート電極が前記制御

線に接続され、前記制御線駆動信号に基づいて前記第 1 のソース電極／第 1 のドレイン電極と前記第 2 のゲート電極との間の導通状態をオン／オフ制御し、前記入力駆動トランジスタは、前記第 4 のソース電極に第 1 の電源電圧が印加され、前記第 4 のドレイン電極が前記第 1 のソース電極／第 1 のドレイン電極に接続され、前記第 4 のゲート電極が前記第 4 のドレイン電極に接続され、前記第 4 のソース電極と前記第 4 のゲート電極との間の電圧に基づいて制御される第 2 の出力電流を前記第 4 のソース電極から前記第 4 のドレイン電極へ流し、前記画素表示素子は、前記第 2 の電極に第 2 の電源電圧が印加され、前記出力駆動トランジスタの前記第 1 の出力電流に基づいた階調の画素を表示する構成とされる画像表示装置において、前記選択トランジスタをオン状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記信号線から前記保持コンデンサへ前記階調画素データを書き込みむ画素データ書き込み処理と、前記選択トランジスタをオフ状態とし、かつ前記制御トランジスタをオン状態とすることにより、前記保持コンデンサに書き込まれた前記階調画素データの電荷を前記入力駆動トランジスタを介して一定時間放電する放電処理と、前記放電処理の後、前記制御トランジスタをオフ状態とすることにより、前記出力駆動トランジスタの前記第 2 のゲート電極をフローティングにして前記保持コンデンサに蓄積された前記階調画素データの電荷を保持する画素データ保持処理とを行うことを特徴としている。

【 0 0 3 0 】

請求項 2 2 記載の発明は、請求項 1 2 乃至 2 1 記載の制御方法に係り、前記画素表示素子は、有機 EL で構成されていることを特徴としている。

【 0 0 3 1 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。

第 1 の実施形態

図 1 は、この発明の第 1 の実施形態である画像表示装置の電氣的構成を示すブロック図である。

この形態の画像表示装置は、同図に示すように、表示パネル 5 0 と、制御回路 6 0 と、信号線ドライバ 7 0 と、走査線ドライバ 8 0 と、リセット信号線ドライ

バ90とから構成されている。表示パネル50は、例えば、有機ELディスプレイなどで構成され、階調画素データDが印加される複数の信号線 $X_1, \dots, X_i, \dots, X_n$ 、走査信号Vが印加される複数の走査線 $Y_1, \dots, Y_j, \dots, Y_m$ 、リセット信号Qが印加される複数のリセット信号線 $R_1, \dots, R_j, \dots, R_m$ 、及び各信号線 $X_1, \dots, X_i, \dots, X_n$ と各走査線 $Y_1, \dots, Y_j, \dots, Y_m$ との交差箇所に設けられた複数の画素50_{i,j} ($i=1, 2, \dots, n, j=1, 2, \dots, m$)を有し、これらの画素50_{i,j}のうちの走査信号Vによって選択された走査線上の画素に階調画素データDを供給することによって画像を表示する。

【0032】

制御回路60は、外部から供給される画像入力信号VDを信号線ドライバ70、垂直走査信号PVを走査線ドライバ80、及びリセット制御信号RAをリセット信号線ドライバ90に供給する。信号線ドライバ70は、画像入力信号VDに応じた階調画素データDを各信号線 $X_1, \dots, X_i, \dots, X_n$ に印加する。走査線ドライバ80は、制御回路60から供給される垂直走査信号PVに同期したタイミングで走査信号Vを順次生成し、表示パネル10の対応する走査線 $Y_1, \dots, Y_j, \dots, Y_m$ に例えば線順次で印加する。リセット信号線ドライバ90は、リセット制御信号RAに基づいてリセット信号Qを各リセット信号線 $R_1, \dots, R_j, \dots, R_m$ に印加する。

【0033】

図2は、図1中の画素50_{i,j} (例えば、 $i=3, j=2$)及び隣接する画素50_{i,j}の電氣的構成を示す回路図である。

この画素50_{3,2}は、図2に示すように、電源ライン51と、グラウンドライン52と、選択トランジスタ53_{3,2}と、保持コンデンサ54_{3,2}と、駆動トランジスタ55_{3,2}と、画素表示素子56_{3,2}と、寄生容量57_{3,2}と、リセットトランジスタ58_{3,2}とから構成されている。電源ライン51には、グラウンドライン52を基準として電源電圧Vccが供給される。選択トランジスタ53_{3,2}は、例えばnMOSで構成され、ドレイン電極が信号線 X_3 、ソース電極がノードN1、及びゲート電極が走査線 Y_2 に接続され、走査信号Vに基づいて信号線 X_3 とノードN1との間の導通状態をオン/オフ制御する。

【 0 0 3 4 】

保持コンデンサ $54_{3,2}$ は、ノード $N1$ とノード $N2$ との間に接続され、駆動トランジスタ $55_{3,2}$ のソース電極とゲート電極との間の電圧を保持する。駆動トランジスタ $55_{3,2}$ は、例えば $nMOS$ で構成され、ドレイン電極が電源ライン 51 (電源電圧 V_{cc})、ソース電極がノード $N2$ 、及びゲート電極がノード $N1$ に接続され、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流 I_L を電源電圧 V_{cc} からノード $N2$ へ流す。画素表示素子 $56_{3,2}$ は、アノードがノード $N2$ 、及びカソードがグランドライン 52 に接続されると共に、アノードとカソードとの間に寄生容量 $57_{3,2}$ を有し、駆動トランジスタ $55_{3,2}$ の出力電流 I_L に基づいた階調の画素を表示する。リセットトランジスタ $58_{3,2}$ は、例えば $nMOS$ で構成され、ドレイン電極がノード $N2$ 、ソース電極がグランドライン 52 、及びゲート電極がリセット信号線 R_2 に接続され、リセット信号 Q に基づいてノード $N2$ とグランドライン 52 との間の導通状態をオン/オフ制御する。また、画素 $50_{3,2}$ に隣接する画素 $50_{2,2}$ 、 $50_{4,2}$ も、それぞれ選択トランジスタ $53_{2,2}$ 、駆動トランジスタ $55_{2,2}$ 、選択トランジスタ $53_{4,2}$ 、駆動トランジスタ $55_{4,2}$ などを有し、同様の構成になっている。他の画素 $50_{i,j}$ も、同様の構成になっている。

【 0 0 3 5 】

図 3 は図 2 の画像表示部 $50_{3,2}$ の動作を説明するためのタイムチャート、図 4 が駆動トランジスタ $55_{3,2}$ の $I_{DS}-V_{GS}$ 特性を示す特性図、図 5 は画素表示素子 $56_{3,2}$ の V_L-I_L 特性を示す特性図、図 6 が駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の $I_{DS}-V_{GS}$ 特性を示す特性図、図 7 は駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の V_{GS} の過渡特性を示す特性図、図 8 が駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の I_{DS} の過渡特性を示す特性図、図 9 は駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の $I_{DS}-V_{GS}$ 特性を示す特性図、及び図 10 が駆動トランジスタ $55_{3,2}$ 、 $55_{2,2}$ 、 $55_{4,2}$ の $I_{DS}-V_{GS}$ 特性を示す特性図である。

これらの図を参照して、この形態の画像表示装置の制御方法について説明する。

非選択期間 T_1 では、選択トランジスタ $53_{3,2}$ 及びリセットトランジスタ $58_{3,2}$ は、オフ（遮断）状態になっている。時刻 t_1 において選択期間 T_2 が開始すると、走査信号 V が走査線 Y_2 に印加されて選択トランジスタ $53_{3,2}$ がオフ状態からオン（導通）状態になり、かつ、リセット信号 Q がリセット信号線 R_2 に印加されてリセットトランジスタ $58_{3,2}$ オフ状態からオン（導通）状態になる。このとき、信号線 X_3 に入力される電圧 V_x は、グラウンドレベルと同一の $0V$ である。選択トランジスタ $53_{3,2}$ 及びリセットトランジスタ $58_{3,2}$ がオン状態であるため、保持コンデンサ $54_{3,2}$ 及び寄生容量 $57_{3,2}$ の電荷が放電され、駆動トランジスタ $55_{3,2}$ のゲート電圧 V_G 及びソース電圧 V_S が $0V$ となる（第1の放電処理）。また、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} が $0V$ であるため、同駆動トランジスタ $55_{3,2}$ のドレイン・ソース間には電流が流れない。

【0036】

次に、時刻 t_2 において、リセットトランジスタ $58_{3,2}$ がオン状態からオフ状態になると共に、信号線 X_3 の電圧 V_x が $0V$ から V_{DATA} に遷移し、階調画素データ D が書き込まれる（画素データ書込み処理）。この直後では、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、

$$V_{GS} = V_{DATA} \times CL / (CH + CL)$$

ただし、

CH ; 保持コンデンサ $54_{3,2}$ の容量値

CL ; 寄生容量 $57_{3,2}$ の容量値

となる。また、駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、

$$V_S = V_{DATA} \times CH / (CH + CL)$$

となる。

【0037】

このとき、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、図4に示す $V_{GS} - I_{DS}$ 特性において、同駆動トランジスタ $55_{3,2}$ のしきい値 V_T よりも大きくなっている（すなわち、 $V_{GS} > V_T$ ）。また、画素表示素子 $56_{3,2}$ の端子間電圧 V_L 、すなわち駆動トランジスタ $55_{3,2}$ のソース電圧 V_S

は、図5に示す $V_L - I_L$ 特性において、電流 I_L が流れ始める電圧 V_{OFF} よりも小さくなっている（すなわち、 $V_S < V_{OFF}$ ）。駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、しきい値 V_T よりも大きい（ $V_{GS} > V_T$ ）ため、同駆動トランジスタ $55_{3,2}$ のドレイン・ソース間に電流 I_L が流れる。この電流 I_L によって寄生容量 $57_{3,2}$ に電荷が充電され、画素表示素子 $56_{3,2}$ の端子間電圧 V_L 、すなわち駆動トランジスタ $55_{3,2}$ のソース電圧 V_S が上昇する。同時に、駆動トランジスタ $55_{3,2}$ のゲート電圧 V_G が一定値の V_{DATA} であるため、同駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、減少しつつ、しきい値 V_T に近づく。すなわち、駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、 $[V_{DATA} - V_T]$ に近づく。

【0038】

ここで、駆動トランジスタ $55_{3,2}$ 及び図2中の駆動トランジスタ $55_{2,2}$ 、 $55_{4,2}$ は、図示しないガラス基板上に形成される薄膜トランジスタなどであるため、ドレイン・ソース間電流 I_{DS} とゲート・ソース間電圧 V_{GS} の関係を示す $I_{DS} - V_{GS}$ 特性には、図6に示すように、個々の駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ によってばらつきがある。例えば、図7に示すように、信号線 X_3 の電圧 V_x が0Vから V_{DATA} に遷移してから十分な時間が経過すると、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート・ソース間電圧 V_{GS} は、それぞれ駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のしきい値 V_{Ta} 、 V_{Tb} 、 V_{Tc} になる。また、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ の各ドレイン・ソース間電流 I_{DS} は、図8に示すように、画素データの書込み直後の電流値から次第に減少して0に近づく。

【0039】

この実施形態では、個々の駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート・ソース間電圧 V_{GS} がしきい値 V_{Ta} 、 V_{Tb} 、 V_{Tc} になる時刻 t_a 、 t_b 、 t_c より前の任意の時刻 t_s において、選択トランジスタ $53_{2,2}$ 、 $53_{3,2}$ 、 $53_{4,2}$ をオフ状態にして保持コンデンサ $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ に蓄積された電荷の放電を停止し（第2の放電処理）、非選択期間 T_3 に移る。この場合、保持コンデンサ $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ に信号電荷が書き込

まれた後、蓄積された信号電荷は駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ を介してドレイン・ソース間電流として放電される。このとき、駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ のうちの電流能力の大きいトランジスタは、より大きい放電電流を流すので、ゲート・ソース間電圧 V_{GS} はより早く減少し、電流の減少速度が大きい。一方、電流能力の小さいトランジスタでは、より小さな放電電流が流れるので、より遅くゲート・ソース間電圧 V_{GS} が減少し、電流の減少速度が小さい。

【 0 0 4 0 】

例えば、図 9 に示すように、設定された階調電流に対応する一定の信号電圧 V_{GS1} が保持コンデンサ $54_{2,2}$, $54_{3,2}$, $54_{4,2}$ に書き込まれたとき、電流能力の大きいトランジスタでは電流値 I_{DSH} の電流が流れ、電流能力の小さいトランジスタでは電流値 I_{DS1} の電流が流れる。このため、平均的な電流能力のトランジスタの電流値を I_{D1} とすると、 $\Delta I_{DS1} / I_{DS1}$ (ただし、 $\Delta I_{DS1} = I_{DSH} - I_{DS1}$) のばらつきが発生する。この実施形態では、図 10 に示すように、設定された階調電流に対応する信号電圧 V_{GS1} より大きい信号電圧 V_{GS2} が駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ のゲート電極に書き込まれ、保持コンデンサ $54_{2,2}$, $54_{3,2}$, $54_{4,2}$ に電荷が蓄積される。このときの電流 I_L のばらつきを $\Delta I_{DS2} / I_{DS2}$ とする。

【 0 0 4 1 】

この後、保持コンデンサ $54_{2,2}$, $54_{3,2}$, $54_{4,2}$ に蓄積された電荷は、駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ を介して一定時間放電され、ゲート・ソース間電圧 V_{GS} は、図 10 中の各矢印で示された方向に減少する。ゲート・ソース間電圧 V_{GS} は、電流能力の大きいトランジスタでは早く減少し、電流能力の小さいトランジスタでは遅く減少するので、放電停止後の電流のばらつき $\Delta I_{DS3} / I_{DS3}$ は、信号電圧の書き込み直後の電流のばらつき $\Delta I_{DS2} / I_{DS2}$ よりも小さくなる。

【 0 0 4 2 】

駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ の特性は、一般にゲート・ソース間電圧の大きい方がドレイン・ソース間の電流のばらつきが小さいので、ば

らつき $\Delta I_{SD2}/I_{DS2}$ も、ばらつき $\Delta I_{DS1}/I_{DS1}$ より小さくなり、電流のばらつきがより低減される。その結果、時刻 t_2 から一定時間後（時刻 t_s ）に放電を停止させ、非選択期間 T_3 に切り替わったとき、平均的な電流に対する電流のばらつき、すなわち〔（電流能力の大きいトランジスタを流れる電流－電流能力の小さいトランジスタを流れる電流）／平均的なトランジスタを流れる電流〕が画素データの書込み後の電流 I_L のばらつきよりも小さくなる。

【0043】

非選択期間 T_3 に移ると、選択トランジスタ $53_{2,2}$ 、 $53_{3,2}$ 、 $53_{4,2}$ がオフ状態に遷移し、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ の各ゲート電極がフローティング状態になり、これらの駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ の各ゲート・ソース間電圧 V_{GS} は、保持コンデンサ $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ によってそれぞれ保持される（電荷保持処理）。すなわち、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ の各ソース電圧 V_S は、寄生容量 $57_{2,2}$ 、 $57_{3,2}$ 、 $57_{4,2}$ に電荷が充電されるにつれて上昇し、同駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート電圧 V_G も保持コンデンサ $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ を介してゲート・ソース電圧 V_{GS} を一定に維持したまま同時に上昇する。

【0044】

画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ の端子間電圧 $V_L (=V_S)$ が、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート・ソース間電圧 V_{GS} によって決まる電流 I_L を流すのに十分な電圧に到達すると、同駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート電圧 V_G 及びソース電圧 V_S の上昇が停止し、一定となる。この後、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート・ソース間電圧 V_{GS} が保持コンデンサ $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ によって保持されるため、画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ に一定の電流 I_L が流れ続ける。非選択期間 T_3 に画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ に流れる電流 I_L の大きさは、保持コンデンサ $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ に書き込まれる信号電荷と、設定された放電時間（時刻 $t_2 \sim t_s$ ）とに基づいて調整され、輝度階調に相当する電流 I_L が流れるように設定される。

【 0 0 4 5 】

以上のように、この第 1 の実施形態では、設定された階調電流に対応する信号電圧 V_{GS1} より大きい信号電圧 V_{GS2} が駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のゲート電極に書き込まれ、保持コンデンサ $54_{2,2}$ 、 $54_{3,2}$ 、 $54_{4,2}$ に蓄積された電荷は、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ を介して一定時間放電されるので、駆動トランジスタ $55_{2,2}$ 、 $55_{3,2}$ 、 $55_{4,2}$ のドレイン・ソース間の電流のばらつきが小さくなる。このため、画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ に流れる電流のばらつきが小さくなり、同画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質が向上する。

【 0 0 4 6 】

第 2 の実施形態

図 1 1 は、この発明の第 2 の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第 1 の実施形態を示す図 1 中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図 1 中の制御回路 6 0 及び表示パネル 5 0 に代えて、異なる機能を有する制御回路 6 0 B 及び異なる構成の表示パネル 5 0 B が設けられている。制御回路 6 0 B は、図 1 中のリセット制御信号 RA とは異なるタイミングのリセット制御信号 RB をリセット信号線ドライバ 9 0 に供給する。表示パネル 5 0 B は、図 1 中の画素 $50_{i,j}$ に代えて、異なる構成の画素 $50B_{i,j}$ が設けられている。他は、図 1 と同様の構成である。

【 0 0 4 7 】

図 1 2 は、図 1 1 中の画素 $50B_{i,j}$ (例えば、 $i = 3$ 、 $j = 2$) の電氣的構成を示す回路図であり、第 1 の実施形態を示す図 2 中の要素と共通の要素には共通の符号が付されている。

この画素 $50B_{3,2}$ では、図 1 2 に示すように、リセットトランジスタ $58_{3,2}$ は、ドレイン電極がノード $N1$ に接続され、リセット信号 Q に基づいてノード $N1$ とグラウンドライン 5 2 との間の導通状態をオン／オフ制御する。他は、図 2 と同様の構成になっている。また、画素 $50B_{3,2}$ に隣接する図示しない画素 5

$0B_{2,2}$, $50B_{4,2}$ なども、同様の構成になっている。

【 0 0 4 8 】

図 1 3 は、図 1 2 の画像表示部 $50B_{3,2}$ の動作を説明するためのタイムチャートである。

この図 1 3 を参照して、この形態の画像表示装置の表示制御方法について説明する。

非選択期間 T_1 では、選択トランジスタ $53_{3,2}$ はオフ状態であり、時刻 t_1 においてリセット信号 Q がリセット信号線 R_2 に印加されてリセットトランジスタ $58_{3,2}$ オフ状態からオン（導通）状態になる。リセットトランジスタ $58_{3,2}$ がオン状態であるため、駆動トランジスタ $55_{3,2}$ のゲート電圧 V_G が $0V$ となる。このため、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、負の電圧となるため、同駆動トランジスタ $55_{3,2}$ がオフ状態となる。このとき、寄生容量 $57_{3,2}$ に蓄積されている電荷は、画素表示素子 $56_{3,2}$ を介してグラウンドライン 52 に放電される（第 1 の放電処理）。リセットトランジスタ $58_{3,2}$ がオン状態導通状態になってから十分な時間が経過すると、寄生容量 $57_{3,2}$ に蓄積していた電荷は全て放電され、駆動トランジスタ $55_{3,2}$ のソース電圧 V_S が $0V$ となる。

【 0 0 4 9 】

次に、時刻 t_2 において、選択期間 T_2 が開始すると、リセットトランジスタ $58_{3,2}$ はオフ状態になり、選択トランジスタ $53_{3,2}$ がオン状態になる。このとき、信号線 X_3 の電圧 V_x が $0V$ から V_{DATA} に遷移し、階調画素データ D が書き込まれる（画素データ書込み処理）。この直後では、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、保持コンデンサ $54_{3,2}$ の容量値 CH と電流制御素子の寄生容量 9 の容量値 CL から、

$$V_{GS} = V_{DATA} \times CL / (CH + CL)$$

となる。また、駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、

$$V_S = V_{DATA} \times CH / (CH + CL)$$

となる。このとき、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} は、第 1 の実施形態の図 4 に示すように、同駆動トランジスタ $55_{3,2}$ のしきい値

VTよりも大きくなっている（すなわち、 $V_{GS} > V_T$ ）。また、画素表示素子 $56_{3,2}$ の端子間電圧 V_L 、すなわち駆動トランジスタ $55_{3,2}$ のソース電圧 V_S は、第1の実施形態の図5に示す $V_L - I_L$ 特性において、電流 I_L が流れ始める電圧 V_{OFF} よりも小さくなっている（すなわち、 $V_S < V_{OFF}$ ）。これ以降は、第1の実施形態と同様の動作が行われ、第1の実施形態と同様の利点がある。

【0050】

第3の実施形態

図14は、この発明の第3の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第1の実施形態を示す図1中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図1中の制御回路60及び表示パネル50に代えて、異なる機能を有する制御回路60C及び異なる構成の表示パネル50Cが設けられている。また、図1中のリセット信号線ドライバ90は、削除されている。制御回路60Cは、制御回路60とは異なるタイミングで画像入力信号VDを信号線ドライバ70に供給する。表示パネル50Cは、図1中の画素 $50_{i,j}$ に代えて、異なる構成の画素 $50C_{i,j}$ が設けられている。他は、図1と同様の構成である。

【0051】

図15は、図14中の画素 $50C_{i,j}$ （例えば、 $i=3$ 、 $j=2$ ）の電氣的構成を示す回路図であり、第1の実施形態を示す図2中の要素と共通の要素には共通の符号が付されている。

この画素 $50C_{3,2}$ では、図15に示すように、図2中のリセットトランジスタ $58_{3,2}$ 及びリセット信号線 R_2 が削除されている。他は、図2と同様の構成である。また、画素 $50C_{3,2}$ に隣接する画素 $50C_{2,2}$ 、 $50C_{4,2}$ なども、同様の構成になっている。

【0052】

図16は、図15の画像表示部 $50C_{3,2}$ の動作を説明するためのタイムチャートである。

この図 1 6 を参照して、この形態の画像表示装置の表示制御方法について説明する。

非選択期間 T_1 では、選択トランジスタ $53_{3,2}$ はオフ状態であり、時刻 t_1 において選択期間 T_2 が開始すると、選択トランジスタ $53_{3,2}$ がオフ状態からオン状態に移移する。このとき、信号線 X_3 に入力される電圧 V_x は、グランドライン 52 と同じ $0V$ であり、かつ選択トランジスタ $53_{3,2}$ がオン状態であるため、保持コンデンサ $54_{3,2}$ の電荷の放電が開始する。また、同時に寄生容量 $57_{3,2}$ の電荷が画素表示素子 $56_{3,2}$ を介して放電される。選択期間 T_2 が開始してから十分な時間が経過すると、駆動トランジスタ $55_{3,2}$ のゲート電圧 V_G とソース電圧 V_S は $0V$ となる。また、駆動トランジスタ $55_{3,2}$ のゲート・ソース間電圧 V_{GS} が $0V$ であるため、同駆動トランジスタ $55_{3,2}$ のドレイン・ソース間には電流は流れない。

【0053】

次に、時刻 t_2 において、信号線 X_3 の電圧 V_x が $0V$ から V_{DATA} に移移し、階調画素データ D が書き込まれる（画素データ書き込み処理）。これ以降は、第 1 の実施形態と同様の動作が行われ、第 1 の実施形態と同様の利点がある。

【0054】

第 4 の実施形態

図 1 7 は、この発明の第 4 の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第 1 の実施形態を示す図 1 中の要素、及び第 3 の実施形態を示す図 1 4 中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図 1 中の制御回路 60 、表示パネル 50 、及びリセット信号線ドライバ 90 に代えて、新たな機能が付加された制御回路 $60D$ 、図 1 4 中の表示パネル $50C$ 、及び電源線電圧切替回路 100 が設けられている。制御回路 $60D$ は、制御回路 60 の機能に加え、電源線切替制御信号 VC を電源線電圧切替回路 100 に供給する機能を有している。電源線電圧切替回路 100 は、電源ライン 51 に供給される電圧を電源線切替制御信号 VC に基づいて電源電圧 V_{cc} 又はグランドレベル ($0V$) に切り替える。

【0055】

図 1 8 は、図 1 5 の画像表示部 5 0 C_{3,2} の動作を説明するためのタイムチャートである。

この図 1 8 を参照して、この形態の画像表示装置の制御方法について説明する。

非選択期間 T 1 では、選択トランジスタ 5 3_{3,2} はオフ状態であり、時刻 t 1 において選択期間 T 2 が開始すると、選択トランジスタ 5 3_{3,2} がオフ状態からオン状態に遷移する。このとき、信号線 X₃ に入力される電圧 V_x は、駆動トランジスタ 5 5_{3,2} がオン状態になるような十分大きい電圧とする。同時に電源線 5 1 の電圧を 0 V にする。駆動トランジスタ 5 5_{3,2} がオン状態になっているため、寄生容量 5 7_{3,2} 9 の電荷が同駆動トランジスタ 5 5_{3,2} を介して放電される。駆動トランジスタ 5 5_{3,2} のソース電圧 V_S が 0 V となった後、信号線 X₃ に入力される電圧 V_x が 0 V になり、かつ選択トランジスタ 5 3_{3,2} がオン状態であるため、時刻 t 2 において、保持コンデンサ 5 4_{3,2} の電荷が放電されてゲート電圧 V_G が 0 V になる。この後、電源線 5 1 の電圧が電源電圧 V_{cc} に戻る。駆動トランジスタ 5 5_{3,2} のゲート・ソース間電圧 V_{GS} が 0 V であるため、同駆動トランジスタ 5 5_{3,2} のドレイン・ソース間には電流が流れない。

【 0 0 5 6 】

次に、時刻 t 3 において、信号線 X₃ の電圧 V_x が 0 V から V_{DATA} に遷移し、階調画素データ D が書き込まれる（画素データ書込み処理）。これ以降は、第 1 の実施形態と同様の動作が行われ、第 1 の実施形態と同様の利点がある。

【 0 0 5 7 】

第 5 の実施形態

図 1 9 は、この発明の第 5 の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第 1 の実施形態を示す図 1 中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図 1 中の表示パネル 5 0 及びリセット信号線ドライバ 9 0 に代えて、異なる構成の表示パネル 5 0 E 及び異なる機能を有するリセット信号線ドライバ 9 0 E が設けられている。表示パネル 5 0 E は、図 1 中の画素 5 0_{i,j} に代えて、異なる構成の画素 5 0 E_{i,j} が設けられている。リセッ

ト信号線ドライバ90Eは、リセット制御信号RAに基づいてリセット信号Qとは逆位相のリセット信号QEを各リセット信号線 $R_1, \dots, R_j, \dots, R_m$ に印加する。表示パネル50Eでは、リセット信号線 $R_1, \dots, R_j, \dots, R_m$ にリセット信号QEが印加される。

【0058】

図20は、図19中の画素50E_{i,j}（例えば、 $i=3, j=2$ ）の電氣的構成を示す回路図であり、第1の実施形態を示す図2中の要素と共通の要素には共通の符号が付されている。

この画素50E_{3,2}では、図20に示すように、電源ライン51と、グランドライン52と、選択トランジスタ153_{3,2}と、保持コンデンサ54_{3,2}と、駆動トランジスタ155_{3,2}と、画素表示素子56_{3,2}と、寄生容量57_{3,2}と、リセットトランジスタ158_{3,2}とから構成されている。電源ライン51には、グランドライン52を基準として電源電圧Vccが供給される。選択トランジスタ153_{3,2}は、ドレイン電極が信号線X₃、ソース電極がノードN1、及びゲート電極が走査線Y₂に接続され、走査信号Vに基づいて信号線X₃とノードN1との間の導通状態をオン/オフ制御する。

【0059】

保持コンデンサ54_{3,2}は、ノードN1とノードN2との間に接続され、駆動トランジスタ155_{3,2}のソース電極とゲート電極との間の電圧を保持する。駆動トランジスタ155_{3,2}は、ソース電極がノードN2、ドレイン電極がグランドライン52、及びゲート電極がノードN1に接続され、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流ILをノードN2からグランドライン52へ流す。画素表示素子56_{3,2}は、アノードが電源ライン51、及びカソードがノードN2に接続されると共に、アノードとカソードとの間に寄生容量57_{3,2}を有し、駆動トランジスタ155_{3,2}の出力電流ILに基づいた階調の画素を表示する。リセットトランジスタ158_{3,2}は、ソース電極が電源ライン51、ドレイン電極がノードN2、及びゲート電極がリセット信号線R₂に接続され、リセット信号QEに基づいてノードN2と電源ライン51との間の導通状態をオン/オフ制御する。また、他の画素50_{i,j}も、同様の構成になっている。

【0060】

この形態の画像表示装置では、選択トランジスタ $153_{3,2}$ 、駆動トランジスタ $155_{3,2}$ 、リセットトランジスタ $158_{3,2}$ が第1の実施形態を示す図2中の選択トランジスタ $53_{3,2}$ 、駆動トランジスタ $55_{3,2}$ 、リセットトランジスタ $58_{3,2}$ の動作に対して相補的な動作を行い、第1の実施形態と同様の処理が行われるため、同様の利点がある。

【0061】

第6の実施形態

図21は、この発明の第6の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第5の実施形態を示す図19中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図19中の制御回路60及び表示パネル50Eに代えて、異なる機能を有する制御回路60F及び異なる構成の表示パネル50Fが設けられている。制御回路60Fは、図19中のリセット制御信号RAとは異なるタイミングのリセット制御信号RFをリセット信号線ドライバ90Eに供給する。表示パネル50Fは、図19中の画素 $50E_{i,j}$ に代えて、異なる構成の画素 $50F_{i,j}$ が設けられている。他は、図19と同様の構成である。

【0062】

図22は、図21中の画素 $50F_{i,j}$ （例えば、 $i=3$ 、 $j=2$ ）の電氣的構成を示す回路図であり、第5の実施形態を示す図20中の要素と共通の要素には共通の符号が付されている。

この画素 $50F_{3,2}$ では、図22に示すように、リセットトランジスタ $158_{3,2}$ は、ドレイン電極がノードN1に接続され、リセット信号QEに基づいてノードN1と電源ライン51との間の導通状態をオン／オフ制御する。他は、図20と同様の構成である。また、画素 $50F_{3,2}$ に隣接する図示しない画素 $50F_{2,2}$ 、 $50F_{4,2}$ なども、同様の構成になっている。

【0063】

この画像表示装置では、選択トランジスタ $153_{3,2}$ 、駆動トランジスタ15

5_{3,2}、リセットトランジスタ158_{3,2}が第2の実施形態を示す図12中の選択トランジスタ53_{3,2}、駆動トランジスタ55_{3,2}、リセットトランジスタ58_{3,2}の動作に対して相補的な動作を行い、第2の実施形態と同様の処理が行われるため、同様の利点がある。

【0064】

第7の実施形態

図23は、この発明の第7の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第5の実施形態を示す図19中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図19中の制御回路60及び表示パネル50Eに代えて、異なる機能を有する制御回路60G及び異なる構成の表示パネル50Gが設けられている。また、図19中のリセット信号線ドライバ90Eは、削除されている。制御回路60Gは、制御回路60とは異なるタイミングで画像入力信号VDを信号線ドライバ70に供給する。表示パネル50Gは、図19中の画素50E_{i,j}に代えて、異なる構成の画素50G_{i,j}が設けられている。他は、図19と同様の構成である。

【0065】

図24は、図23中の画素50G_{i,j}（例えば、 $i=3$ 、 $j=2$ ）の電氣的構成を示す回路図であり、第5の実施形態を示す図20中の要素と共通の要素には共通の符号が付されている。

この画素50G_{3,2}では、図24に示すように、図20中のリセットトランジスタ158_{3,2}及びリセット信号線R₂が削除されている。他は、図20と同様の構成である。また、画素50G_{3,2}に隣接する画素50G_{2,2}、50G_{4,2}なども、同様の構成になっている。

【0066】

この画像表示装置では、選択トランジスタ153_{3,2}、駆動トランジスタ155_{3,2}が第3の実施形態を示す図15中の選択トランジスタ53_{3,2}、駆動トランジスタ55_{3,2}の動作に対して相補的な動作を行い、第3の実施形態と同様の処理が行われるため、同様の利点がある。

【0067】

第8の実施形態

図25は、この発明の第8の実施形態である画像表示装置の電気的構成を示すブロック図であり、第4の実施形態を示す図17中の要素、第5の実施形態を示す図19中の要素、及び第7の実施形態を示す図23中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図19中の制御回路60、表示パネル50E、及びリセット信号線ドライバ90Eに代えて、新たな機能が付加された制御回路60H、図23中の表示パネル50G、及び図17中の電源線電圧切替回路100が設けられている。制御回路60Hは、制御回路60の機能に加え、電源線切替制御信号VHを電源線電圧切替回路100に供給する機能を有している。電源線電圧切替回路100は、電源ライン51に供給される電圧を電源線切替制御信号VHに基づいて電源電圧Vcc又はグランドレベル(0V)に切り替える。

【0068】

この画像表示装置では、選択トランジスタ153_{3,2}、駆動トランジスタ155_{3,2}が第4の実施形態の選択トランジスタ53_{3,2}、駆動トランジスタ55_{3,2}の動作に対して相補的な動作を行い、第4の実施形態と同様の処理が行われるため、同様の利点がある。

【0069】

第9の実施形態

図26は、この発明の第9の実施形態である画像表示装置の電気的構成を示すブロック図であり、第1の実施形態を示す図1中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図1中の制御回路60、表示パネル50、及びリセット信号線ドライバ90に代えて、新たな機能が付加された制御回路60K、異なる構成の表示パネル50K、及び制御線ドライバ110、120が設けられている。制御回路60Kは、制御回路60の機能に加え、制御信号CA、CBを制御線ドライバ110、120にそれぞれ供給する機能を有している。表示パネル50Kは、図1中の画素50_{i,j}に代えて、異なる構成の画素50K_{i,j}が

設けられ、さらに制御線 $P_1, \dots, P_j, \dots, P_m$ 及び制御線 $Q_1, \dots, Q_j, \dots, Q_m$ が設けられている。制御線ドライバ110は、制御信号CAに基づいて制御線駆動信号 α を制御線 $P_1, \dots, P_j, \dots, P_m$ に印加する。制御線ドライバ120は、制御信号CBに基づいて制御線駆動信号 β を制御線 $Q_1, \dots, Q_j, \dots, Q_m$ に印加する。

【0070】

図27は、図26中の画素50 $K_{i,j}$ （例えば、 $i=3, j=2$ ）の電氣的構成を示す回路図であり、第1の実施形態を示す図2中の要素と共通の要素には共通の符号が付されている。

この画素50 $K_{3,2}$ では、図27に示すように、電源ライン51と、グランドライン52と、選択トランジスタ153 $_{3,2}$ と、保持コンデンサ54 $_{3,2}$ と、駆動トランジスタ155 $_{3,2}$ と、画素表示素子56 $_{3,2}$ と、寄生容量57 $_{3,2}$ と、制御トランジスタ158 $_{3,2}$ と、pMOS159 $_{3,2}$ とから構成されている。選択トランジスタ153 $_{3,2}$ は、ドレイン電極が信号線 X_3 、ソース電極がノードN1、及びゲート電極が走査線 Y_2 に接続され、走査信号Vに基づいて信号線 X_3 とノードN1との間の導通状態をオン／オフ制御する。保持コンデンサ54 $_{3,2}$ は、ノードN1と電源ライン51（電源電圧Vcc）との間に接続され、駆動トランジスタ155 $_{3,2}$ のソース電極とゲート電極との間の電圧を保持する。

【0071】

駆動トランジスタ155 $_{3,2}$ は、ソース電極が電源ライン51、ドレイン電極がノードN2、及びゲート電極がノードN1に接続され、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流 I_L を電源ライン51からノードN2へ流す。画素表示素子56 $_{3,2}$ は、寄生容量57 $_{3,2}$ を有し、アノードがノードN3、及びカソードがグランドライン52に接続され、駆動トランジスタ155 $_{3,2}$ の出力電流 I_L をpMOS159 $_{3,2}$ を介して取り込んでグランドライン52へ流すことにより、同出力電流 I_L に基づいた階調の画素を表示する。制御トランジスタ158 $_{3,2}$ は、ソース電極がノードN1、ドレイン電極がノードN2、及びゲート電極が制御線 P_2 に接続され、制御線駆動信号 α に基づいてノードN1とノードN2との間の導通状態をオン／オフ制御する。pMOS15

$9_{3,2}$ は、ソース電極がノードN2、ドレイン電極がノードN3、及びゲート電極が制御線 Q_2 に接続され、制御線駆動信号 β に基づいてノードN2とノードN3との間の導通状態をオン/オフ制御する。また、他の画素 $50K_{i,j}$ も、同様の構成になっている。

【0072】

図28及び図29は、図27の画像表示部 $50K_{3,2}$ の動作を説明するためのタイムチャートである。

これらの図を参照して、この形態の画像表示装置の表示制御方法について説明する。

図28に示すように、保持期間T1では、選択トランジスタ $153_{3,2}$ 、駆動トランジスタ、リセットトランジスタ $158_{3,2}$ 、pMOS $159_{3,2}$ がオフ状態になっている。時刻 t_1 において選択期間T2が開始すると、走査信号Vが走査線 Y_2 に印加されて選択トランジスタ $153_{3,2}$ がオフ状態からオン状態になり、信号線 X_3 から階調画素データDの信号電荷が保持コンデンサ $54_{3,2}$ に蓄積される（画素データ書込み処理）。

【0073】

次に、時刻 t_s において、選択トランジスタ $153_{3,2}$ がオフ状態、及び制御トランジスタ $158_{3,2}$ がオン状態になり、保持コンデンサ $54_{3,2}$ の電荷の放電が制御トランジスタ $158_{3,2}$ 及び駆動トランジスタ $155_{3,2}$ を介して開始する。一定時間の放電後、時刻 t_2 において、制御トランジスタ $158_{3,2}$ がオフ状態、及びpMOS $159_{3,2}$ がオン状態になる（放電処理）。駆動トランジスタ $155_{3,2}$ のゲート・ソース間電圧VGSが保持コンデンサ $54_{3,2}$ によって保持されるため（画素データ保持処理）、画素表示素子 $56_{3,2}$ に一定の電流ILが流れ続ける。これ以降は、第1の実施形態と同様に、画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ に流れる電流のばらつきが小さくなり、同画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ で表示される画素の輝度階調のばらつきが小さくなって表示画面の品位が向上する。

【0074】

また、図29に示すように、選択期間T2において、制御トランジスタ 158

$3,2$ がオン状態になり、駆動トランジスタ $155_{3,2}$ のドレイン電極とゲート電極とが接続された状態で信号線 X_3 から階調画素データ D の信号電荷が保持コンデンサ $54_{3,2}$ に書き込まれる（画素データ書込み処理）。この後、時刻 t_s において、選択トランジスタ $153_{3,2}$ がオフ状態になり、保持コンデンサ $54_{3,2}$ の電荷の放電が制御トランジスタ $158_{3,2}$ 及び駆動トランジスタ $155_{3,2}$ を介して開始する。一定時間の放電後、時刻 t_2 において、制御トランジスタ $158_{3,2}$ がオフ状態、及び $pMOS$ $159_{3,2}$ がオン状態になる（放電処理）。駆動トランジスタ $155_{3,2}$ のゲート・ソース間電圧 V_{GS} が保持コンデンサ $54_{3,2}$ によって保持されるため（画素データ保持処理）、画素表示素子 $56_{3,2}$ に一定の電流 I_L が流れ続ける。これ以降は、第1の実施形態と同様に、画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ に流れる電流のばらつきが小さくなり、同画素表示素子 $56_{2,2}$ 、 $56_{3,2}$ 、 $56_{4,2}$ で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質が向上する。

【0075】

第10の実施形態

図30は、この発明の第10の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第9の実施形態を示す図26中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図26中の表示パネル $50K$ に代えて、異なる構成の表示パネル $50L$ が設けられている。表示パネル $50L$ は、図26中の画素 $50K_{i,j}$ に代えて、異なる構成の画素 $50L_{i,j}$ が設けられている。

【0076】

図31は、図30中の画素 $50L_{i,j}$ （例えば、 $i=3$ 、 $j=2$ ）の電氣的構成を示す回路図であり、第9の実施形態を示す図27中の要素と共通の要素には共通の符号が付されている。

この画素 $50L_{3,2}$ では、図31に示すように、制御トランジスタ $158_{3,2}$ のドレイン電極がノード N_2 に接続され、同ノード N_2 に駆動トランジスタ $155_{3,2}$ のゲート電極が接続されている。また、制御トランジスタ $158_{3,2}$ のソース電極がノード N_1 に接続され、同ノード N_1 に駆動トランジスタ $155_{3,2}$

のドレイン電極が接続されている。制御トランジスタ $158_{3,2}$ は、制御線駆動信号 α に基づいてノード $N1$ とノード $N2$ との間の導通状態をオン／オフ制御する。他は、図 27 と同様の構成である。

【0077】

この画像表示装置では、上記第 9 の実施形態の図 29 に示す処理と同様の処理が行われ、同様の利点がある。

【0078】

第 11 の実施形態

図 32 は、この発明の第 11 の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第 9 の実施形態を示す図 26 中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図 26 中の制御回路 $60K$ 及び表示パネル $50K$ に代えて、異なる機能を有する制御回路 $60M$ 及び異なる構成の表示パネル $50M$ が設けられ、制御線ドライバ 120 が削除されている。制御回路 $60M$ は、制御回路 $60K$ の機能から制御信号 CB を出力する機能が削除されている。表示パネル $50M$ は、図 26 中の画素 $50K_{i,j}$ に代えて、異なる構成の画素 $50M_{i,j}$ が設けられ、さらに制御線 $Q_1, \dots, Q_j, \dots, Q_m$ が削除されている。

【0079】

図 33 は、図 32 中の画素 $50M_{i,j}$ （例えば、 $i=3, j=2$ ）の電氣的構成を示す回路図であり、第 10 の実施形態を示す図 31 中の要素と共通の要素には共通の符号が付されている。

この画素 $50M_{3,2}$ では、図 31 の画素 $50L_{3,2}$ の構成に加えて入力駆動トランジスタ $258_{3,2}$ が設けられ、 $pMOS159_{3,2}$ 及び制御線 Q_2 が削除されている。また、駆動トランジスタ $155_{3,2}$ は、請求項 9 中の出力駆動トランジスタに対応する。入力駆動トランジスタ $258_{3,2}$ は、 $pMOS$ で構成され、ソース電極が電源ライン 51 、ドレイン電極がノード $N1$ 、及びゲート電極がノード $N3$ に接続され、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流を電源ライン 51 からノード $N1$ へ流す。出力駆動トランジスタ $155_{3,2}$ のドレイン電極はノード $N2$ に接続され、同ノード $N2$ に画素表示素子 5

$6_{3,2}$ のアノードが接続されている。出力駆動トランジスタ $155_{3,2}$ のゲート電極は、ノード $N3$ に接続されている。他は、図 31 と同様の構成である。

【0080】

図 34 は、図 33 の画像表示部 $50M_{3,2}$ の動作を説明するためのタイムチャートである。

この図を参照して、この形態の画像表示装置の表示制御方法について説明する。図 34 に示すように、保持期間 $T1$ では、選択トランジスタ $153_{3,2}$ 、制御トランジスタ $158_{3,2}$ 、 $pMOS$ $159_{3,2}$ がオフ状態になっている。時刻 $t1$ において選択期間 $T2$ が開始すると、走査信号 V が走査線 Y_2 に印加されて選択トランジスタ $153_{3,2}$ がオフ状態からオン状態になり、制御線駆動信号 α が制御線 P_2 に印加されて制御トランジスタ $158_{3,2}$ がオフ状態からオン状態になり、信号線 X_3 から階調画素データの信号電荷が保持コンデンサ $54_{3,2}$ に蓄積される（画素データ書込み処理）。

【0081】

次に、時刻 t_s において、選択トランジスタ $153_{3,2}$ がオフ状態になり、保持コンデンサ $54_{3,2}$ の電荷の放電が制御トランジスタ $158_{3,2}$ 及び入力駆動トランジスタ $258_{3,2}$ を介して開始する（放電処理）。一定時間の放電後、時刻 t_2 において、制御トランジスタ $158_{3,2}$ がオフ状態になり、出力駆動トランジスタ $155_{3,2}$ のゲート電極がフローティングになる。出力駆動トランジスタ $155_{3,2}$ のゲート・ソース間電圧 V_{GS} が保持コンデンサ $54_{3,2}$ によって保持されるため（画素データ保持処理）、画素表示素子 $56_{3,2}$ に一定の電流 I_L が流れ続ける。上記放電処理において、一定時間の放電動作を行うことにより、入力駆動トランジスタ $258_{3,2}$ 及び出力駆動トランジスタ $155_{3,2}$ のソース・ドレイン間の電流のばらつきが小さくなり、第 9 の実施形態と同様の利点がある。

【0082】

第 12 の実施形態

図 35 は、この発明の第 12 の実施形態である画像表示装置の電氣的構成を示すブロック図であり、第 11 の実施形態を示す図 32 中の要素と共通の要素には

共通の符号が付されている。

この形態の画像表示装置では、図 3 2 中の表示パネル 5 0 M に代えて、異なる構成の表示パネル 5 0 N が設けられている。表示パネル 5 0 N は、図 3 2 中の画素 5 0 M_{i,j} に代えて、異なる構成の画素 5 0 N_{i,j} が設けられている。

【 0 0 8 3 】

図 3 6 は、図 3 5 中の画素 5 0 N_{i,j}（例えば、 $i = 3$ 、 $j = 2$ ）の電氣的構成を示す回路図であり、第 1 1 の実施形態を示す図 3 3 中の要素と共通の要素には共通の符号が付されている。

この画素 5 0 N_{3,2} では、入力駆動トランジスタ 2 5 8_{3,2} のゲート電極がノード N 1 に接続されている。入力駆動トランジスタ 2 5 8_{3,2} は、ソース電極とゲート電極との間の電圧に基づいて制御される出力電流を電源ライン 5 1 からノード N 1 へ流す。他は、図 3 3 と同様の構成である。

【 0 0 8 4 】

この画像表示装置では、第 1 1 の実施形態と同様の処理が行われ、同様の利点がある。

【 0 0 8 5 】

以上、この発明の実施形態を図面により詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあっても、この発明に含まれる。

例えば、図 2 中の選択トランジスタ 5 3_{3,2} 及びリセットトランジスタ 5 8_{3,2} は、pMOS でも良い。ただし、この場合、ゲート電極に入力する制御信号は、nMOS の制御信号に対して逆位相とする必要がある。同様に、図 1 2 中の選択トランジスタ 5 3_{3,2} 及びリセットトランジスタ 5 8_{3,2}、及び図 1 5 中の選択トランジスタ 5 3_{3,2} は、pMOS でも良い。また、図 2 0 中の選択トランジスタ 1 5 3_{3,2} 及びリセットトランジスタ 1 5 8_{3,2} は、nMOS でも良い。同様に、図 2 2 中の選択トランジスタ 1 5 3_{3,2} 及びリセットトランジスタ 1 5 8_{3,2}、及び図 2 4 中の選択トランジスタ 1 5 3_{3,2} は、nMOS でも良い。

【 0 0 8 6 】

第 9 の実施形態を示す図 2 7 中の pMOS 1 5 9_{3,2}、及び第 1 0 の実施形態

を示す図31中のpMOS159_{3,2}は、省略しても同実施形態とほぼ同様の作用、効果が得られる。また、走査信号Vを走査線Y₁, ..., Y_j, ..., Y_mに印加する順序は、線順次に限らず、予め設定された任意の順序で良い。また、図2、図12、及び図15中の駆動トランジスタ55_{3,2}、図20、図22、図24中の駆動トランジスタ155_{3,2}のソース電極とノードN2との間、又はドレイン電極と電源ライン51との間にフィードバック抵抗を挿入することにより、電流のばらつきを低減することもできる。同様に、図27、図31、図33、及び図36中の駆動トランジスタ155_{3,2}のソース電極と電源ライン51との間にフィードバック抵抗を挿入することにより、電流のばらつきをさらに低減することもできる。この発明における表示パネルは、有機ELの他、例えば発光ダイオード(LED)アレイやフィールド・エミッション・ディスプレイ(FED)など、電流駆動されるものであれば、任意のもので良い。

【0087】

【発明の効果】

以上説明したように、請求項1又は12記載の発明の構成によれば、選択トランジスタをオン状態にすることにより、信号線から保持コンデンサへ階調画素データを書き込み、同保持コンデンサに書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電し、この後、同駆動トランジスタの第2のゲート電極をフローティングにすることにより同保持コンデンサに蓄積された同階調画素データの電荷を保持するようにしたので、同駆動トランジスタに流れる電流のばらつきが小さくなり、各画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【0088】

請求項2又は13記載の発明の構成によれば、リセットトランジスタをオン状態にすることにより、保持コンデンサ及び寄生容量を放電させ、この後、選択トランジスタをオン状態にすることにより、信号線から同保持コンデンサへ階調画素データを書き込み、同保持コンデンサに書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電し、同選択トランジスタをオフ状態にすることにより、同駆動トランジスタの第2のゲート電極をフローティングにして

同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【 0 0 8 9 】

請求項 3 又は 1 4 記載の発明の構成によれば、リセットトランジスタをオン状態にすることにより、保持コンデンサ及び寄生容量を放電させ、この後、選択トランジスタをオン状態にすることにより、信号線から同保持コンデンサへ階調画素データを書き込み、同保持コンデンサに書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電し、同選択トランジスタをオフ状態にすることにより、同駆動トランジスタの第 2 のゲート電極をフローティングにして同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【 0 0 9 0 】

請求項 4 又は 1 5 記載の発明の構成によれば、選択トランジスタをオン状態にすると共に信号線からリセット信号電圧を入力することにより、保持コンデンサ及び寄生容量を放電させ、この後、同選択トランジスタをオン状態にすることにより、信号線から同保持コンデンサへ階調画素データを書き込み、同保持コンデンサに書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電し、同選択トランジスタをオフ状態にすることにより、駆動トランジスタの第 2 のゲート電極をフローティングにして同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【 0 0 9 1 】

請求項 5 又は 1 6 記載の発明の構成によれば、第 1 の電源電圧をリセット信号電圧とすることにより、保持コンデンサ及び寄生容量を放電させ、この後、選択

トランジスタをオン状態にすることにより、信号線から同保持コンデンサへ階調画素データを書き込み、同保持コンデンサに書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電し、同選択トランジスタをオフ状態にすることにより、駆動トランジスタの第2のゲート電極をフローティングにして同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【0092】

請求項6又は17記載の発明の構成によれば、選択トランジスタをオン状態とし、かつ制御トランジスタをオフ状態とすることにより、信号線から保持コンデンサへ階調画素データを書き込み、同選択トランジスタをオフ状態とし、かつ同制御トランジスタをオン状態とすることにより、同保持コンデンサに書き込まれた階調画素データの電荷を同駆動トランジスタを介して一定時間放電し、この後、同制御トランジスタをオフ状態にすることにより、同駆動トランジスタの第2のゲート電極をフローティングにして同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【0093】

請求項7又は18記載の発明の構成によれば、選択トランジスタをオン状態とし、かつ制御トランジスタをオン状態とすることにより、信号線から保持コンデンサへ階調画素データを書き込み、同選択トランジスタをオフ状態とし、かつ同制御トランジスタをオン状態とすることにより、同保持コンデンサに書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電し、この後、同制御トランジスタをオフ状態にすることにより、同駆動トランジスタの第2のゲート電極をフローティングにして同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さく

なって表示画面の画質を向上できる。

【0094】

請求項8又は19記載の発明の構成によれば、選択トランジスタをオン状態とし、かつ制御トランジスタをオン状態とすることにより、信号線から保持コンデンサへ階調画素データを書き込み、同選択トランジスタをオフ状態とし、かつ同制御トランジスタをオン状態とすることにより、同保持コンデンサに書き込まれた階調画素データの電荷を駆動トランジスタを介して一定時間放電し、この後、同制御トランジスタをオフ状態にすることにより、同駆動トランジスタの第2のゲート電極をフローティングにして同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【0095】

請求項9又は20記載の発明の構成によれば、選択トランジスタをオン状態とし、かつ制御トランジスタをオン状態とすることにより、信号線から保持コンデンサへ階調画素データを書き込み、同選択トランジスタをオフ状態とし、かつ同制御トランジスタをオン状態とすることにより、同保持コンデンサに書き込まれた階調画素データの電荷を入力駆動トランジスタを介して一定時間放電し、この後、同制御トランジスタをオフ状態にすることにより、出力駆動トランジスタの第2のゲート電極をフローティングにして同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同出力駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【0096】

請求項10又は21記載の発明の構成によれば、選択トランジスタをオン状態とし、かつ制御トランジスタをオン状態とすることにより、信号線から保持コンデンサへ階調画素データを書き込み、同選択トランジスタをオフ状態とし、かつ同制御トランジスタをオン状態とすることにより、同保持コンデンサに書き込まれた階調画素データの電荷を入力駆動トランジスタを介して一定時間放電し、こ

の後、同制御トランジスタをオフ状態にすることにより、出力駆動トランジスタの第2のゲート電極をフローティングにして同保持コンデンサに蓄積された階調画素データの電荷を保持するようにしたので、同出力駆動トランジスタに流れる電流のばらつきが小さくなり、画素表示素子で表示される画素の輝度階調のばらつきが小さくなって表示画面の画質を向上できる。

【0097】

請求項11又は22記載の発明の構成によれば、請求項1乃至10記載の発明における画素表示素子は、有機ELで構成されているので、同画素表示素子にばらつきの少ない電流が供給され、表示画面の画質が向上した画像表示装置の表示制御方法を実現できる。

【図面の簡単な説明】

【図1】

この発明の第1の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図2】

図1中の画素50_{i,j}及び隣接する画素50_{i,j}の電氣的構成を示す回路図である。

【図3】

図2の画像表示部50_{3,2}の動作を説明するためのタイムチャートである。

【図4】

駆動トランジスタ55_{3,2}のIDS-VGS特性を示す特性図である。

【図5】

画素表示素子56_{3,2}のVL-IL特性を示す特性図である。

【図6】

駆動トランジスタ55_{3,2}、55_{2,2}、55_{4,2}のIDS-VGS特性を示す特性図である。

【図7】

駆動トランジスタ55_{3,2}、55_{2,2}、55_{4,2}のVGSの過渡特性を示す特性図である。

【図 8】

駆動トランジスタ $55_{3,2}$, $55_{2,2}$, $55_{4,2}$ の I_{DS} の過渡特性を示す特性図である。

【図 9】

駆動トランジスタ $55_{3,2}$, $55_{2,2}$, $55_{4,2}$ の $I_{DS}-V_{GS}$ 特性を示す特性図である。

【図 10】

駆動トランジスタ $55_{3,2}$, $55_{2,2}$, $55_{4,2}$ の $I_{DS}-V_{GS}$ 特性を示す特性図である。

【図 11】

この発明の第 2 の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図 12】

図 11 中の画素 $50B_{i,j}$ の電氣的構成を示す回路図である。

【図 13】

図 12 の画像表示部 $50B_{3,2}$ の動作を説明するためのタイムチャートである。

【図 14】

この発明の第 3 の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図 15】

図 14 中の画素 $50C_{i,j}$ の電氣的構成を示す回路図である。

【図 16】

図 15 の画像表示部 $50C_{3,2}$ の動作を説明するためのタイムチャートである。

【図 17】

この発明の第 4 の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図 18】

図15の画像表示部50C_{3,2}の動作を説明するためのタイムチャートである。

【図19】

この発明の第5の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図20】

図19中の画素50E_{i,j}の電氣的構成を示す回路図である。

【図21】

この発明の第6の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図22】

図21中の画素50F_{i,j}の電氣的構成を示す回路図である。

【図23】

この発明の第7の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図24】

図23中の画素50G_{i,j}の電氣的構成を示す回路図である。

【図25】

この発明の第8の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図26】

この発明の第9の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図27】

図26中の画素50K_{i,j}の電氣的構成を示す回路図である。

【図28】

図27の画像表示部50K_{3,2}の動作を説明するためのタイムチャートである。

【図29】

図 2 7 の画像表示部 5 0 K_{3,2} の動作を説明するためのタイムチャートである。

【図 3 0】

この発明の第 1 0 の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図 3 1】

図 3 0 中の画素 5 0 L_{i,j} の電氣的構成を示す回路図である。

【図 3 2】

この発明の第 1 1 の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図 3 3】

図 3 2 中の画素 5 0 M_{i,j} の電氣的構成を示す回路図である。

【図 3 4】

図 3 3 の画像表示部 5 0 M_{3,2} の動作を説明するためのタイムチャートである。

【図 3 5】

この発明の第 1 2 の実施形態である画像表示装置の電氣的構成を示すブロック図である。

【図 3 6】

図 3 5 中の画素 5 0 N_{i,j} の電氣的構成を示す回路図である。

【図 3 7】

従来の画像表示装置の電氣的構成を示すブロック図である。

【図 3 8】

図 3 7 中の画素 1 0_{i,j} の電氣的構成を示す回路図である。

【図 3 9】

nMOS 1 5_{3,2} , 1 5_{2,2} , 1 5_{4,2} の I D S - V G S 特性を示す特性図である。

【符号の説明】

5 0 , 5 0 B , 5 0 C , 5 0 E , 5 0 F , 5 0 G , 5 0 K , 5 0 L , 5 0 M ,

50N 表示パネル

$50_{i,j}$, $50B_{i,j}$, $50C_{i,j}$, $50E_{i,j}$, $50F_{i,j}$, $50G_{i,j}$,
 $50K_{i,j}$, $50L_{i,j}$, $50M_{i,j}$, $50N_{i,j}$ 画素

51 電源ライン

52 グランドライン

$53_{3,2}$ 選択トランジスタ

$55_{3,2}$ 駆動トランジスタ

$58_{3,2}$ リセットトランジスタ

$54_{3,2}$ 保持コンデンサ

$56_{3,2}$ 画素表示素子

$57_{3,2}$ 寄生容量

60, 60B, 60C, , 60D, 60F, 60G, 60H, 60K, 60M

制御回路 (制御手段)

70 信号線ドライバ

80 走査線ドライバ

90 リセット信号線ドライバ

90E リセット信号線ドライバ

100 電源線電圧切替回路 (電源供給回路)

110, 120 制御線ドライバ

$153_{3,2}$ 選択トランジスタ

$155_{3,2}$ 駆動トランジスタ、出力駆動トランジスタ

$158_{3,2}$ リセットトランジスタ、制御トランジスタ

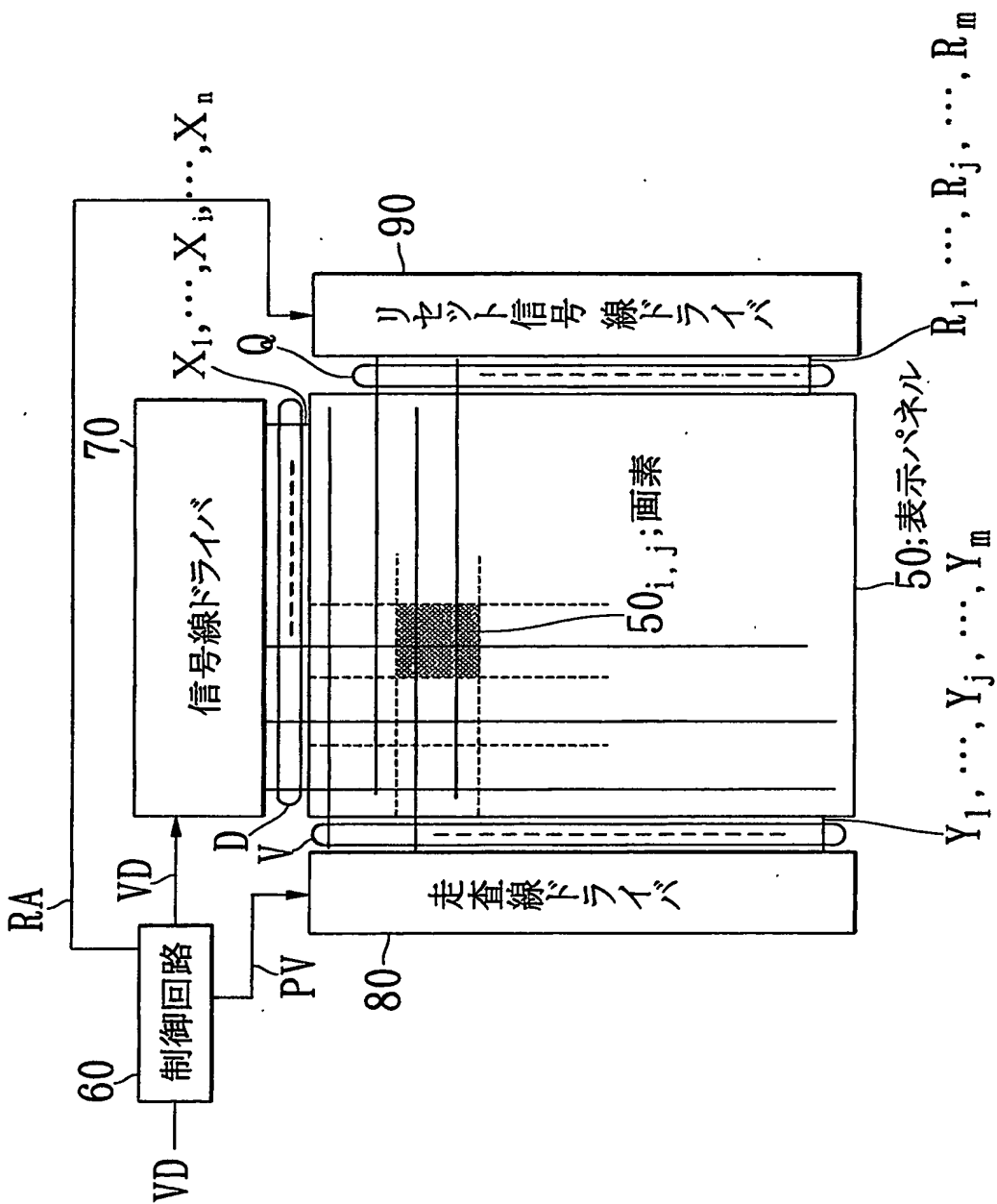
$258_{3,2}$ 入力駆動トランジスタ

$P_1, \dots, P_j, \dots, P_m$ 制御線

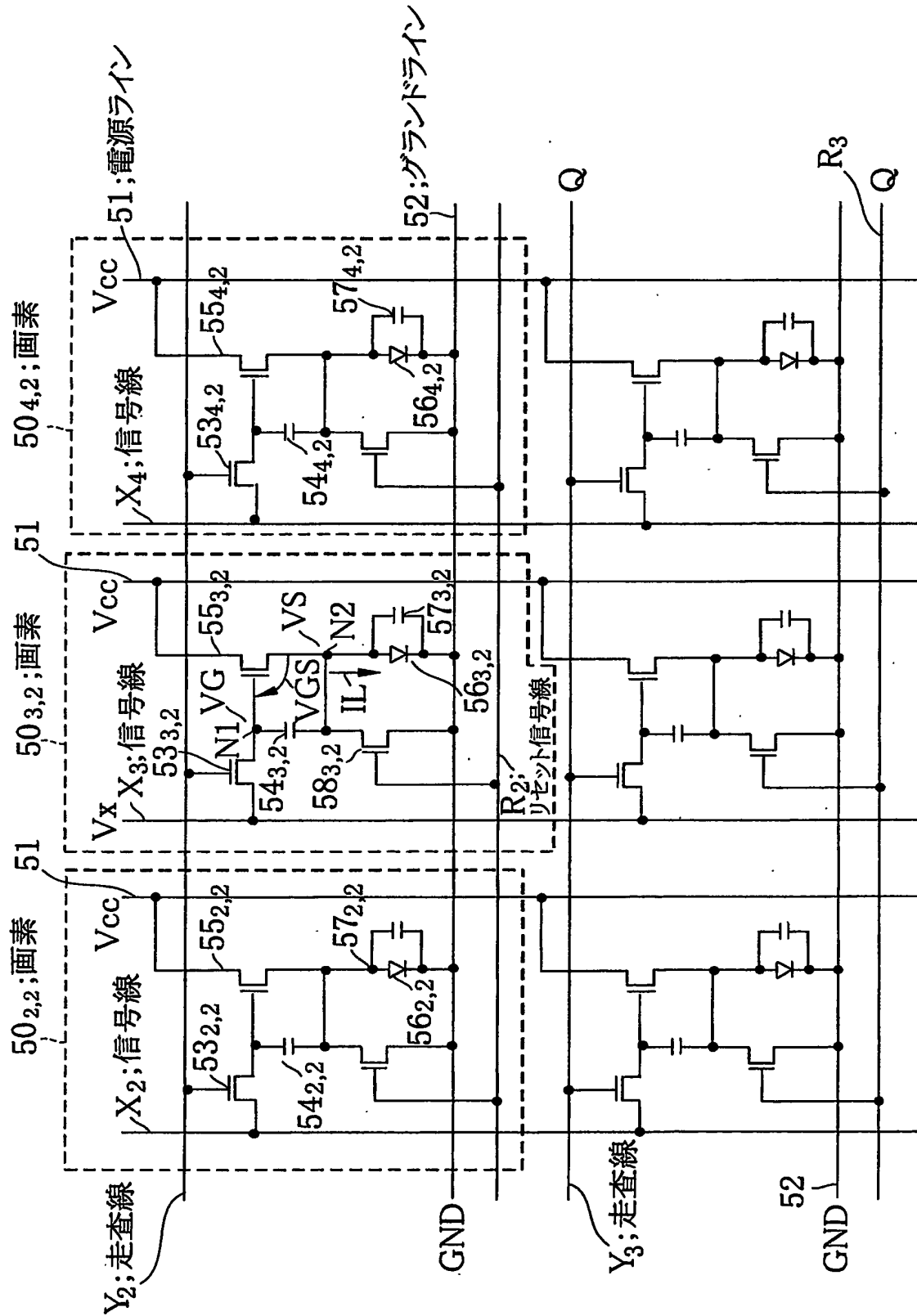
$Q_1, \dots, Q_j, \dots, Q_m$ 制御線

【書類名】 図面

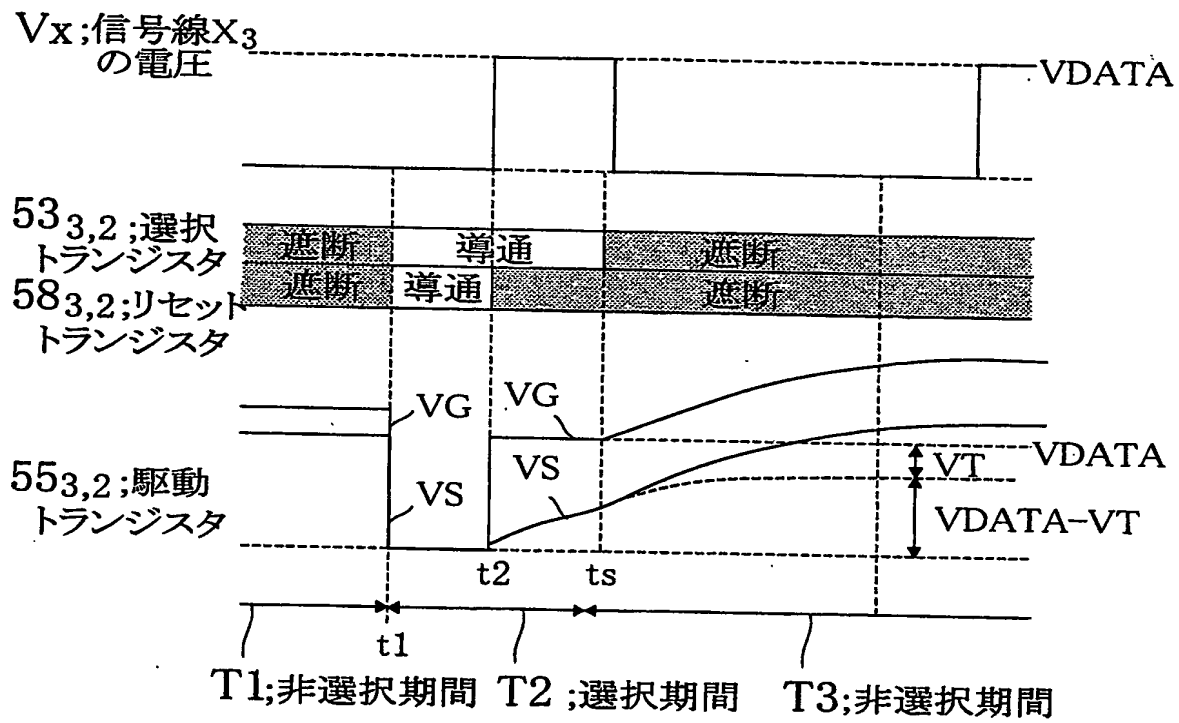
【図1】



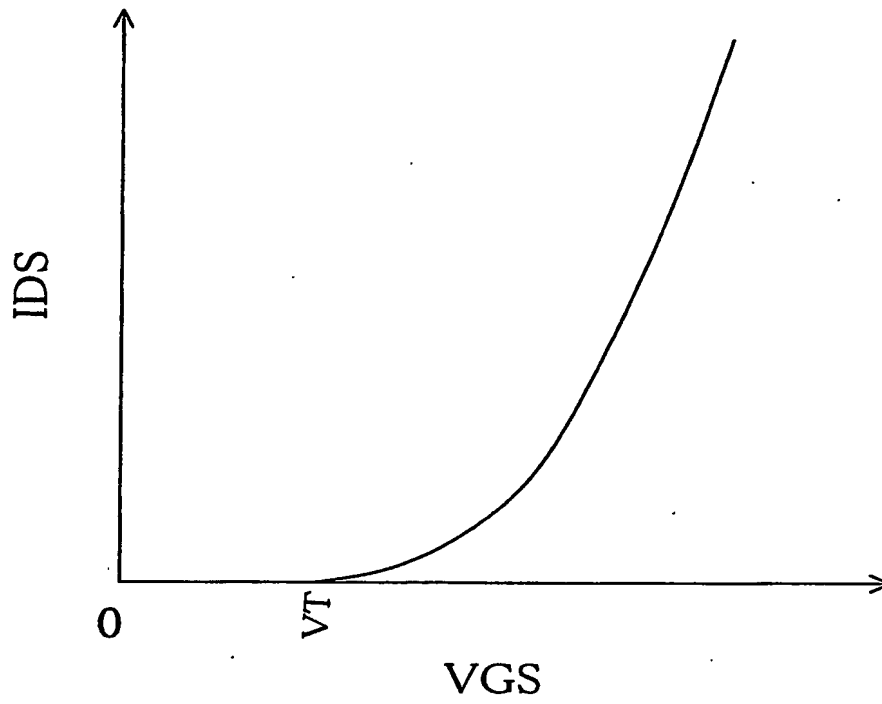
【図2】



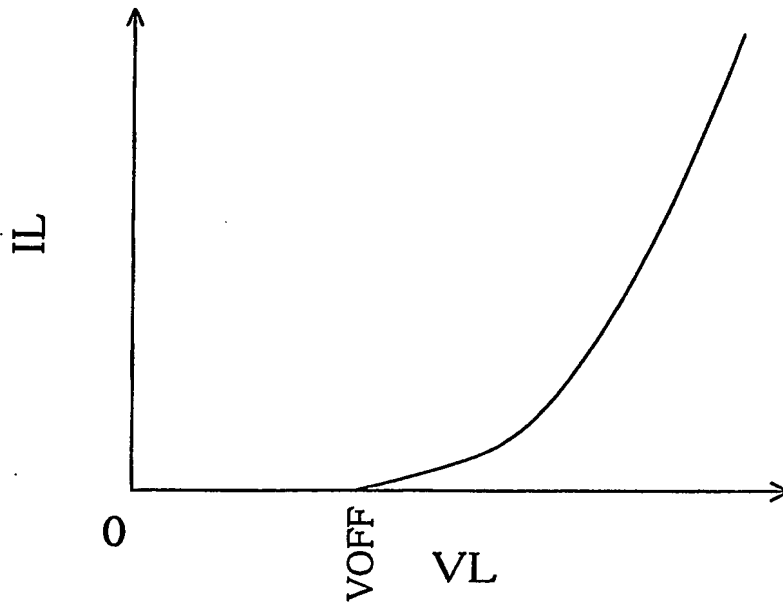
【図 3】



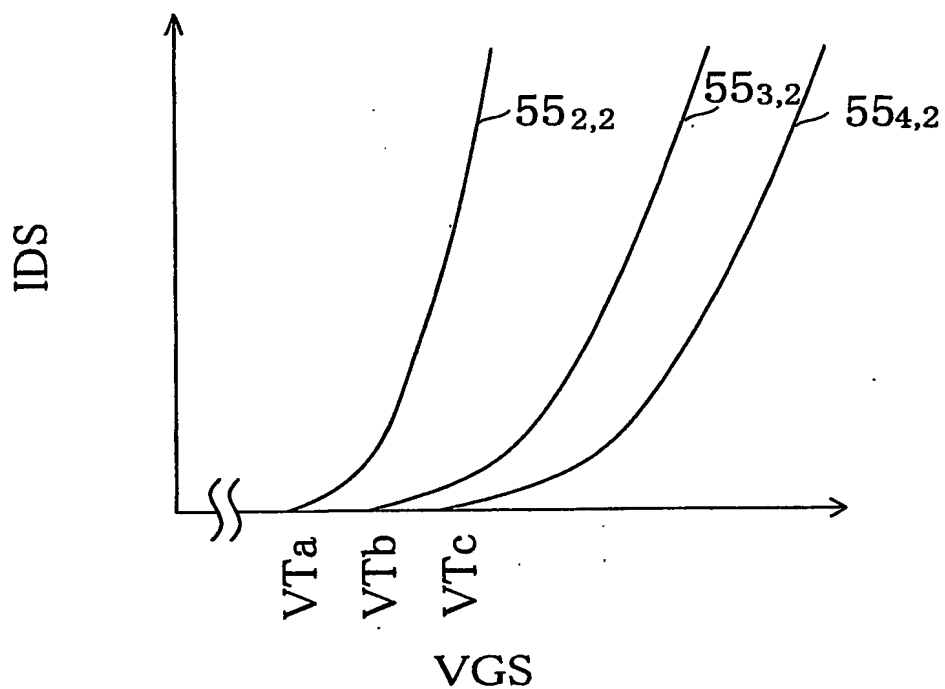
【図4】



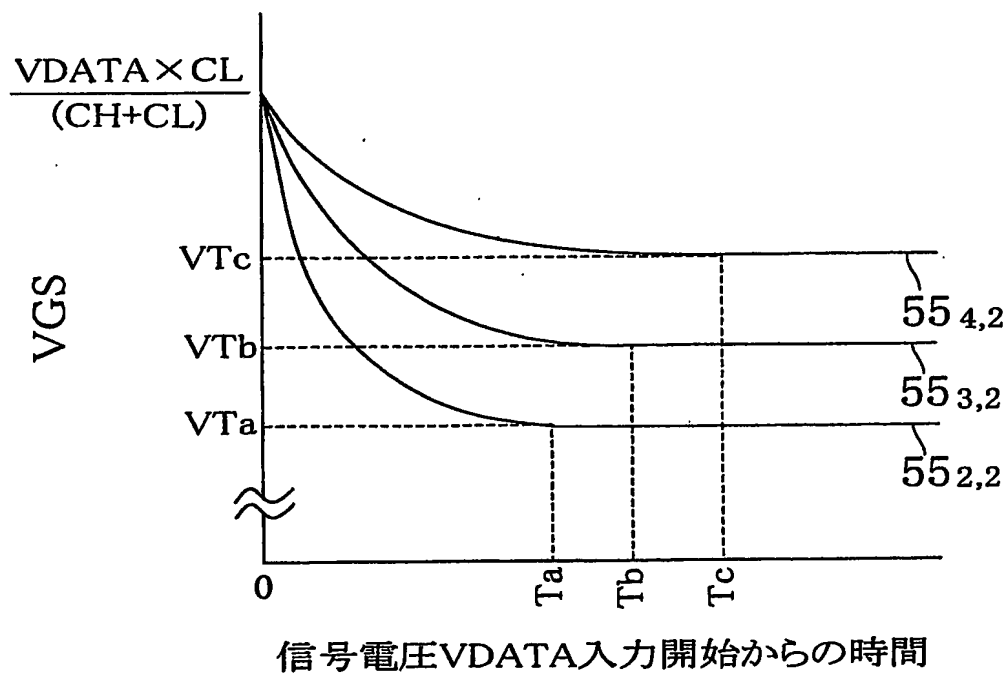
【図5】



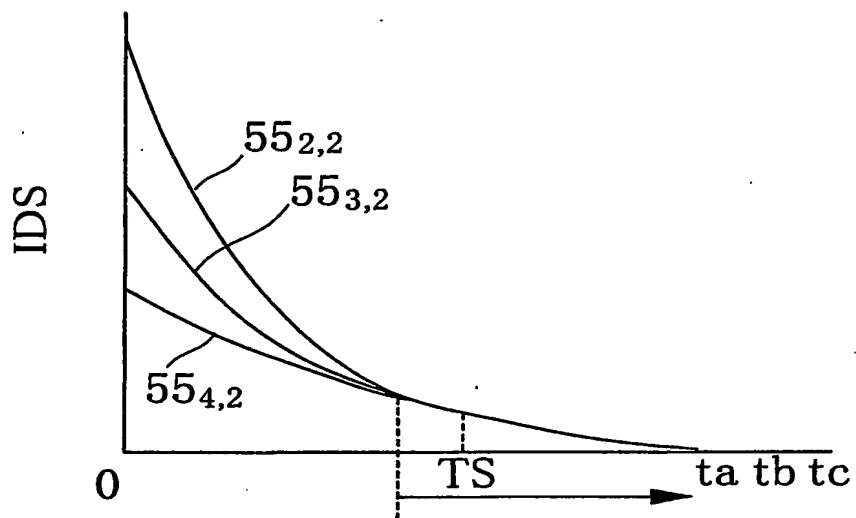
【図6】



【図7】

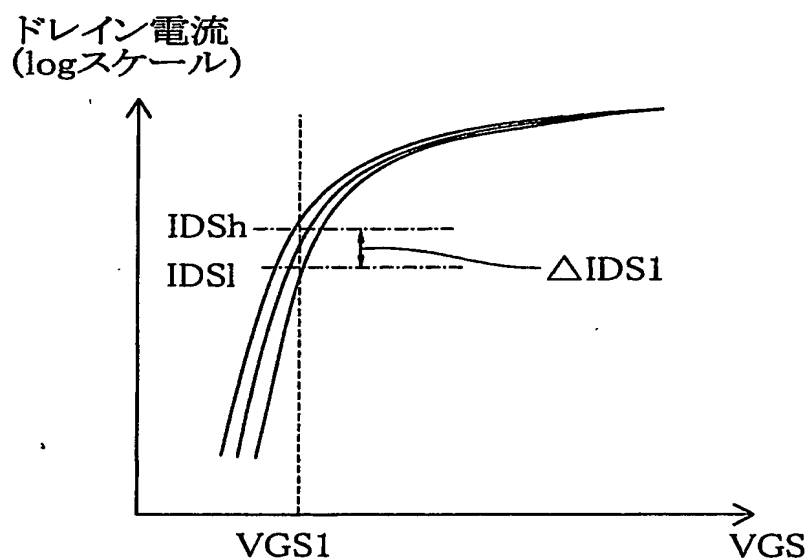


【図8】

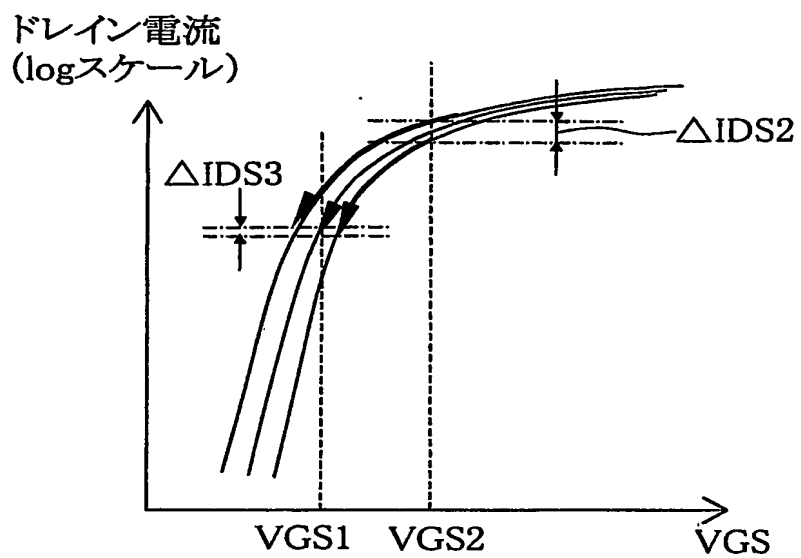


信号電圧VDATA入力開始からの時間

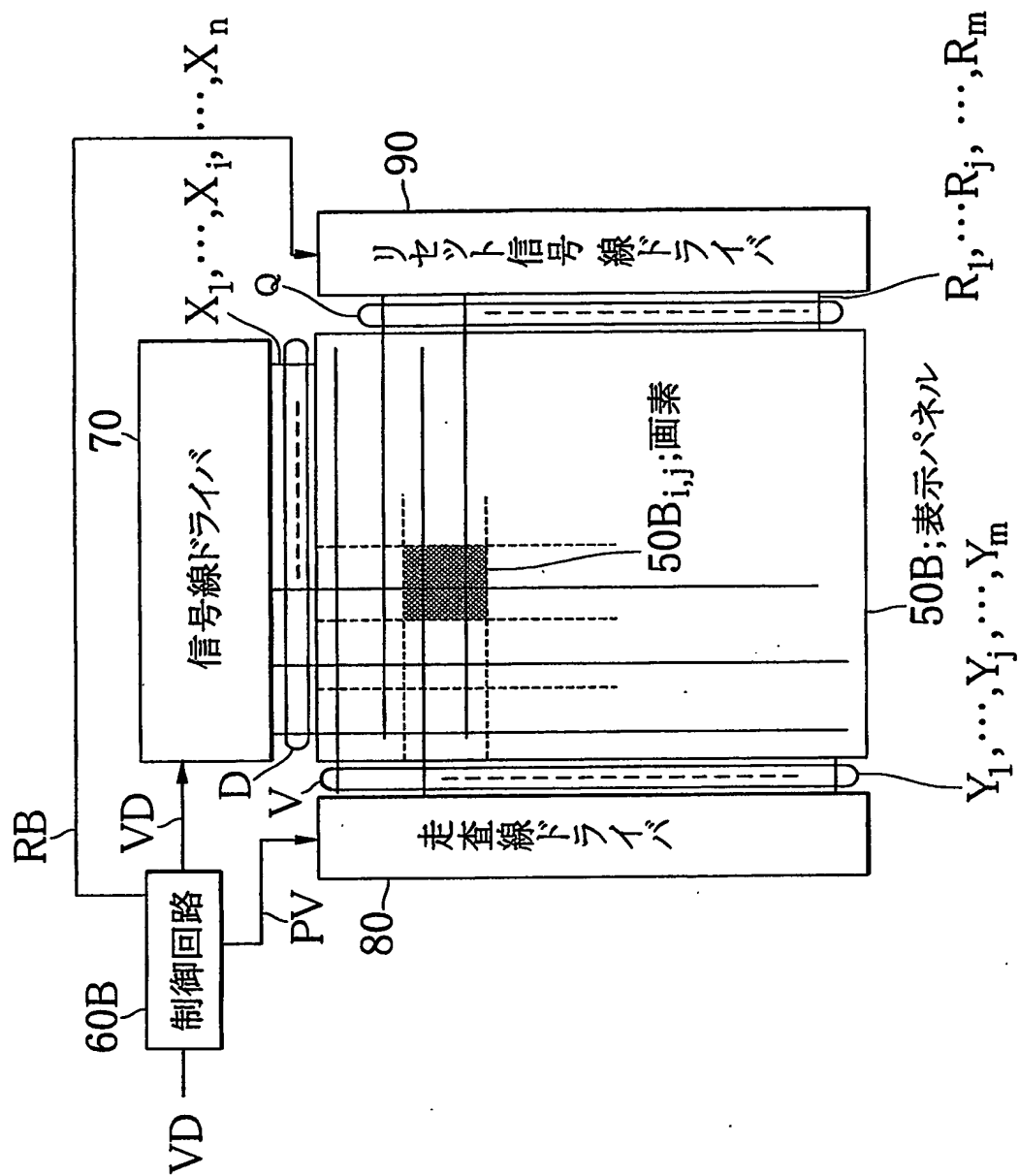
【図9】



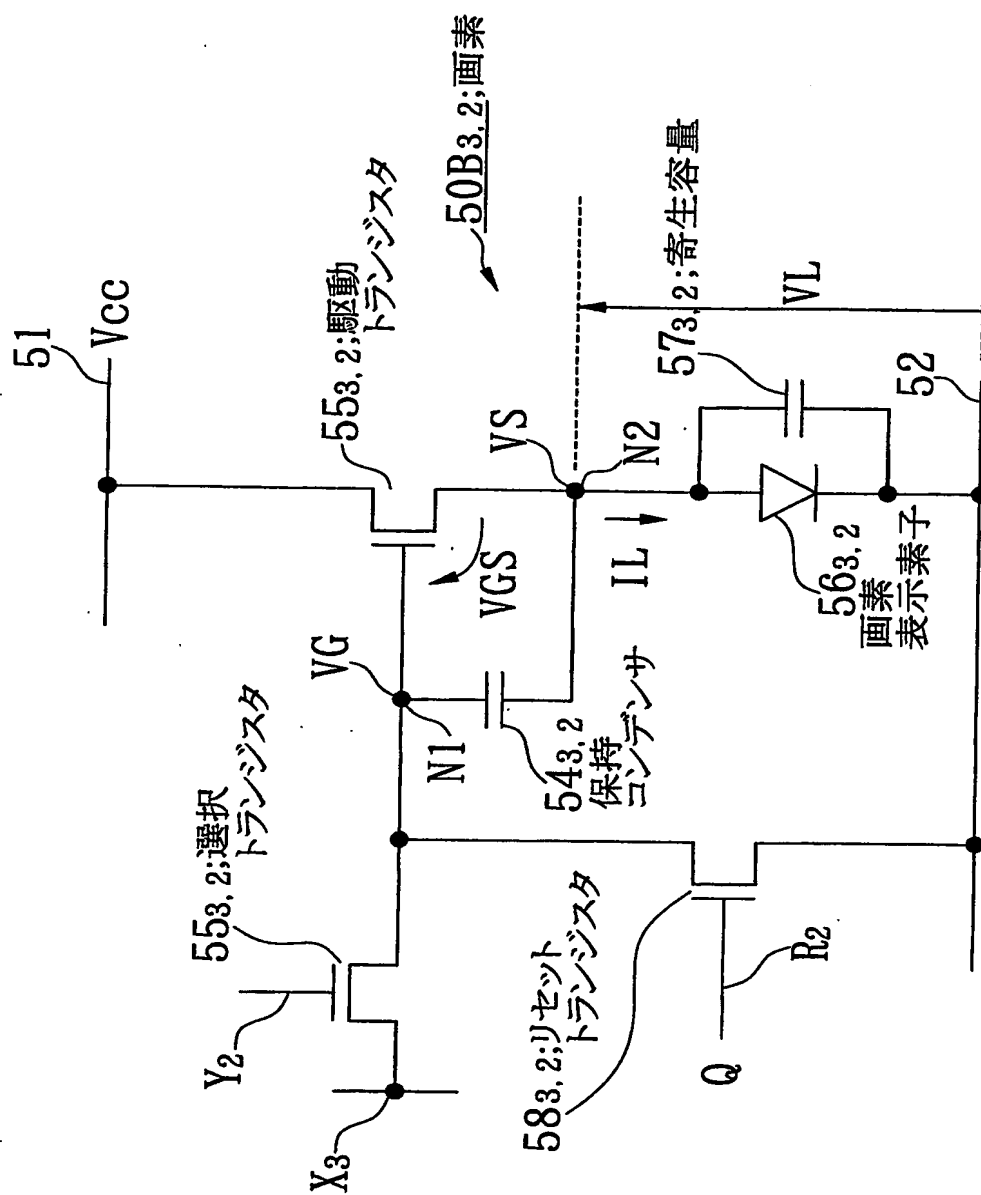
【図10】



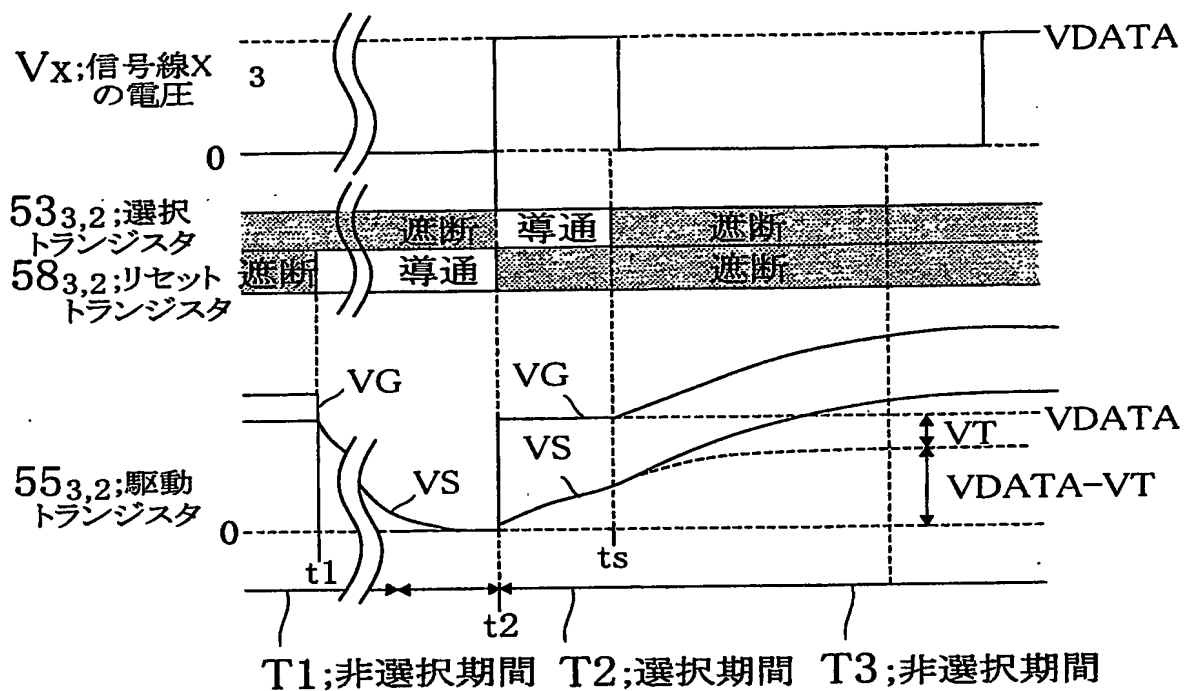
【図 11】



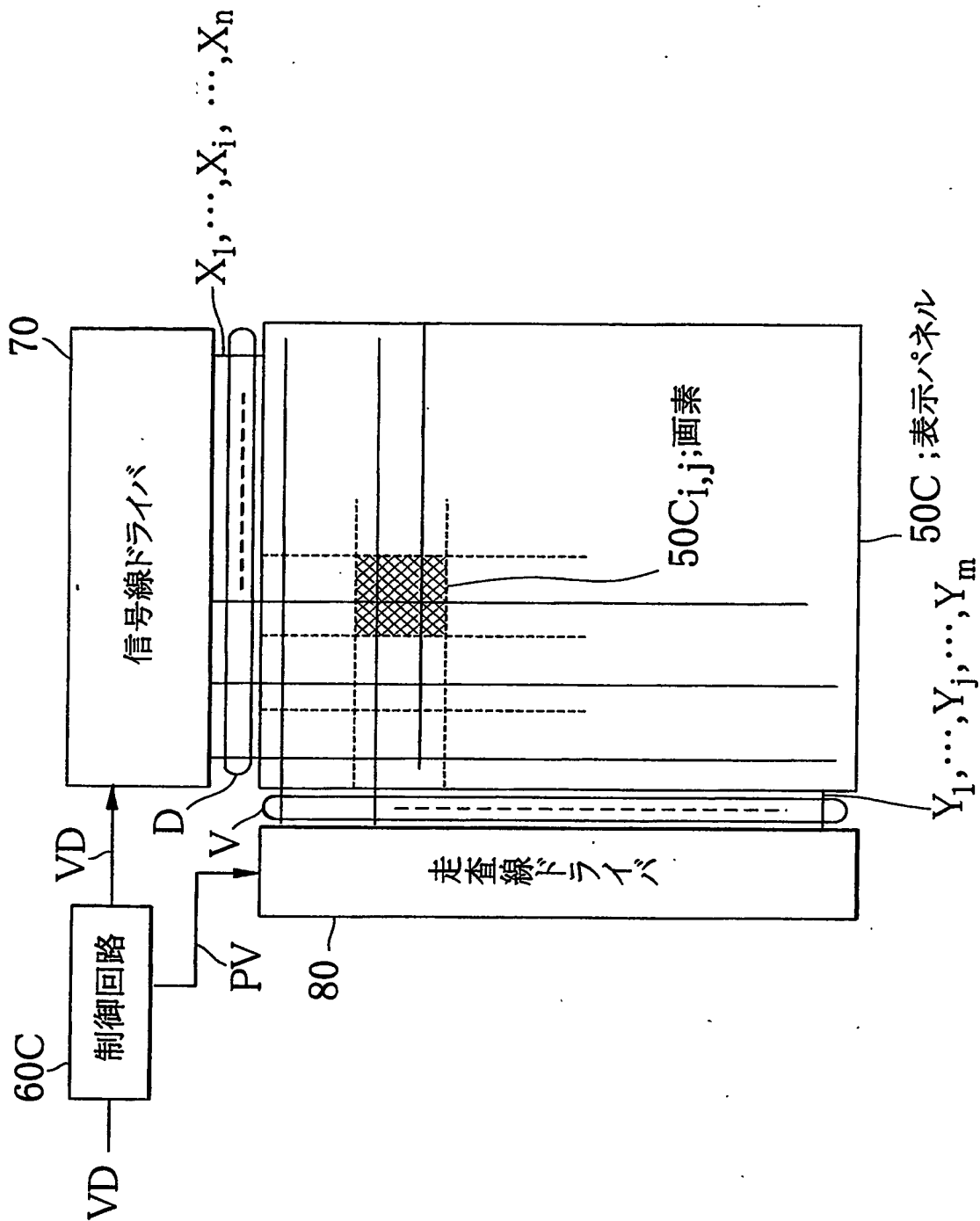
【図 12】



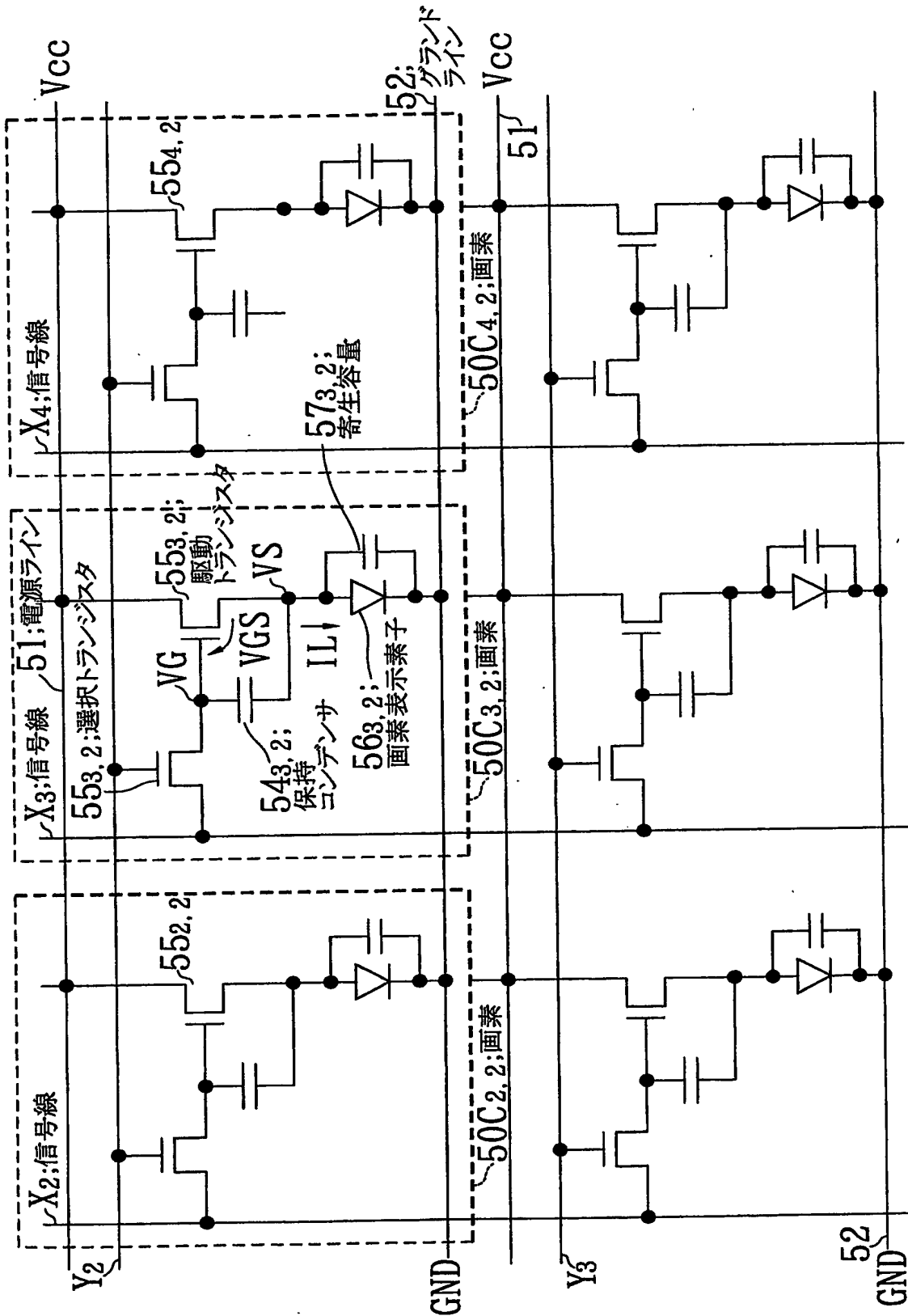
【図13】



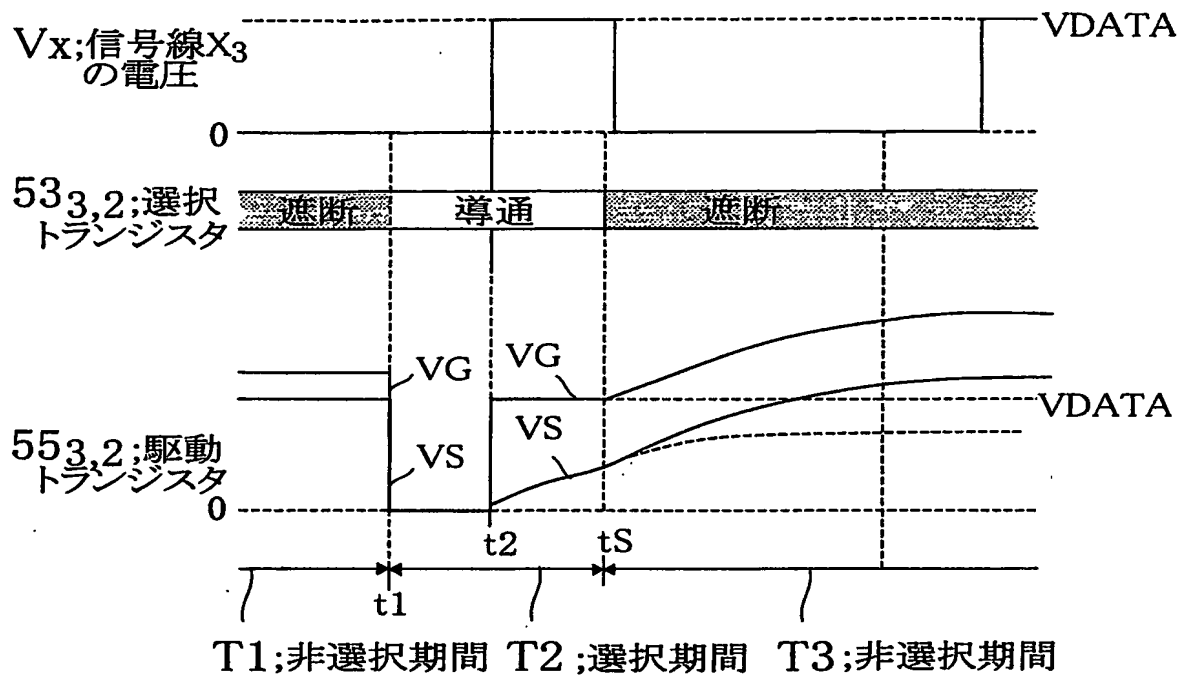
【図14】



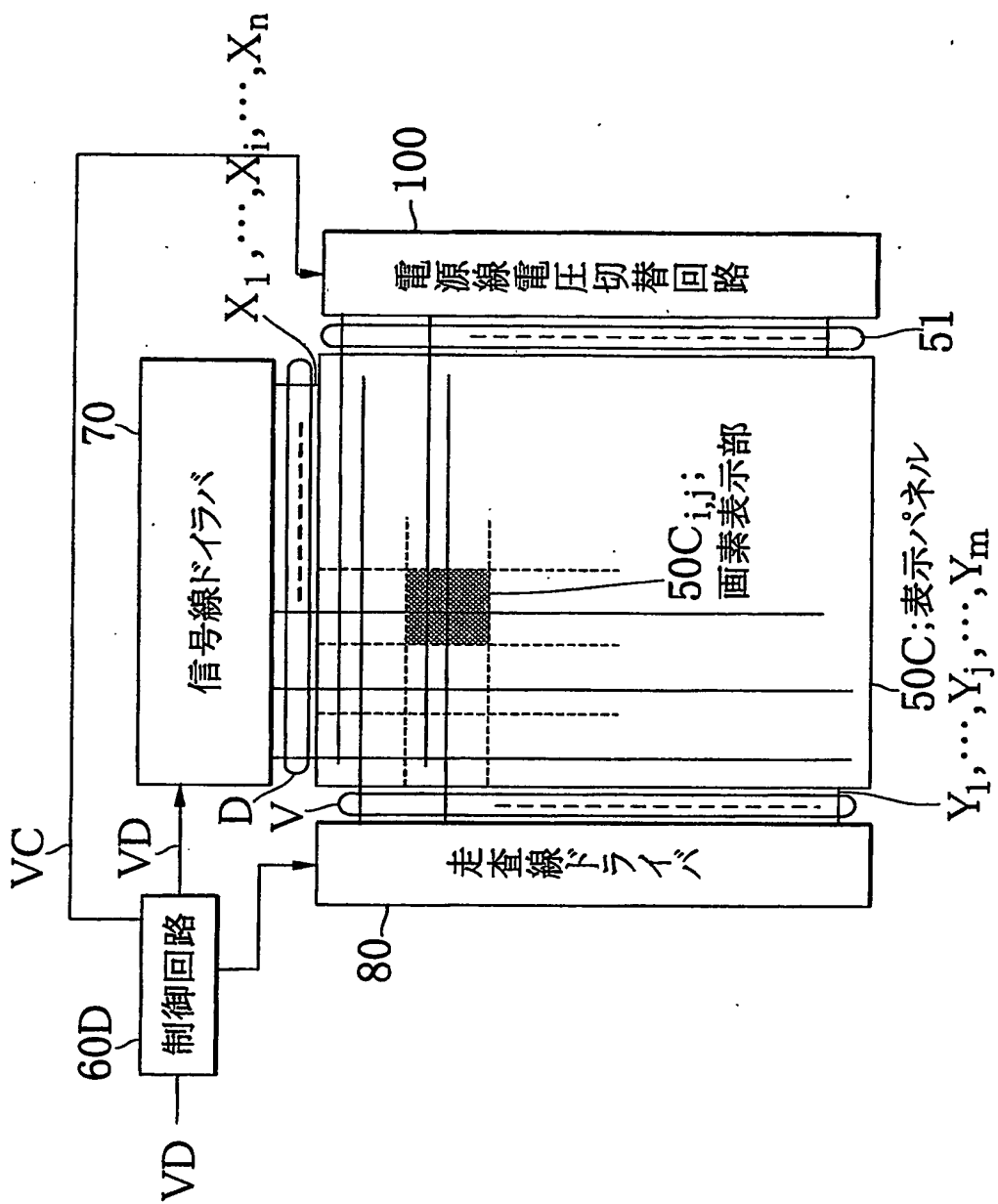
【図15】



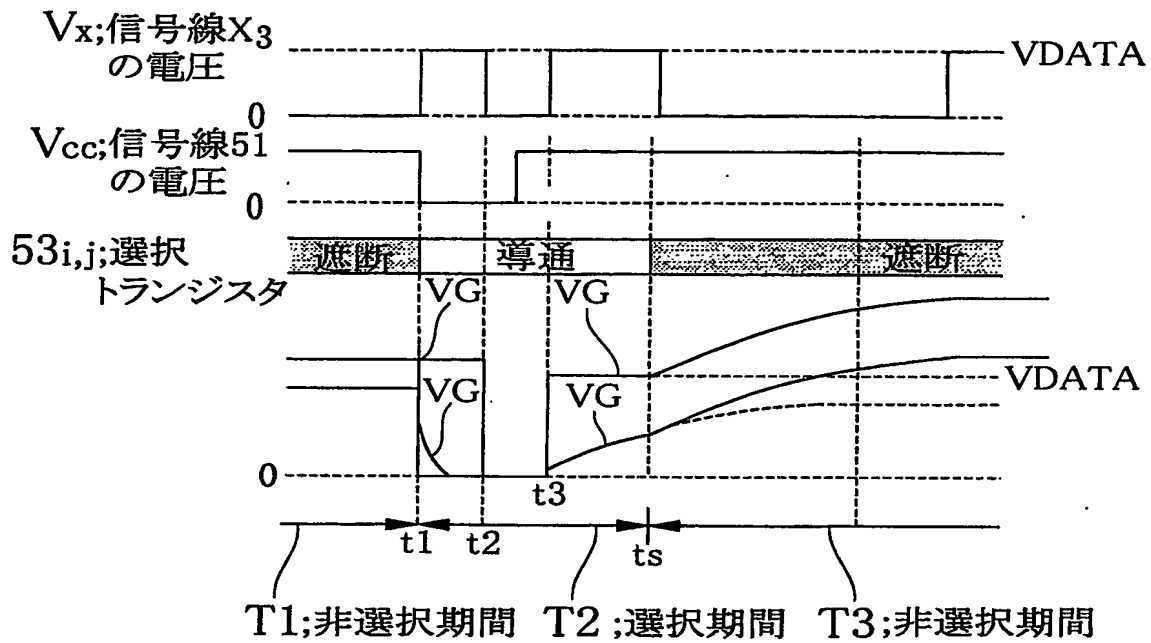
【図 16】



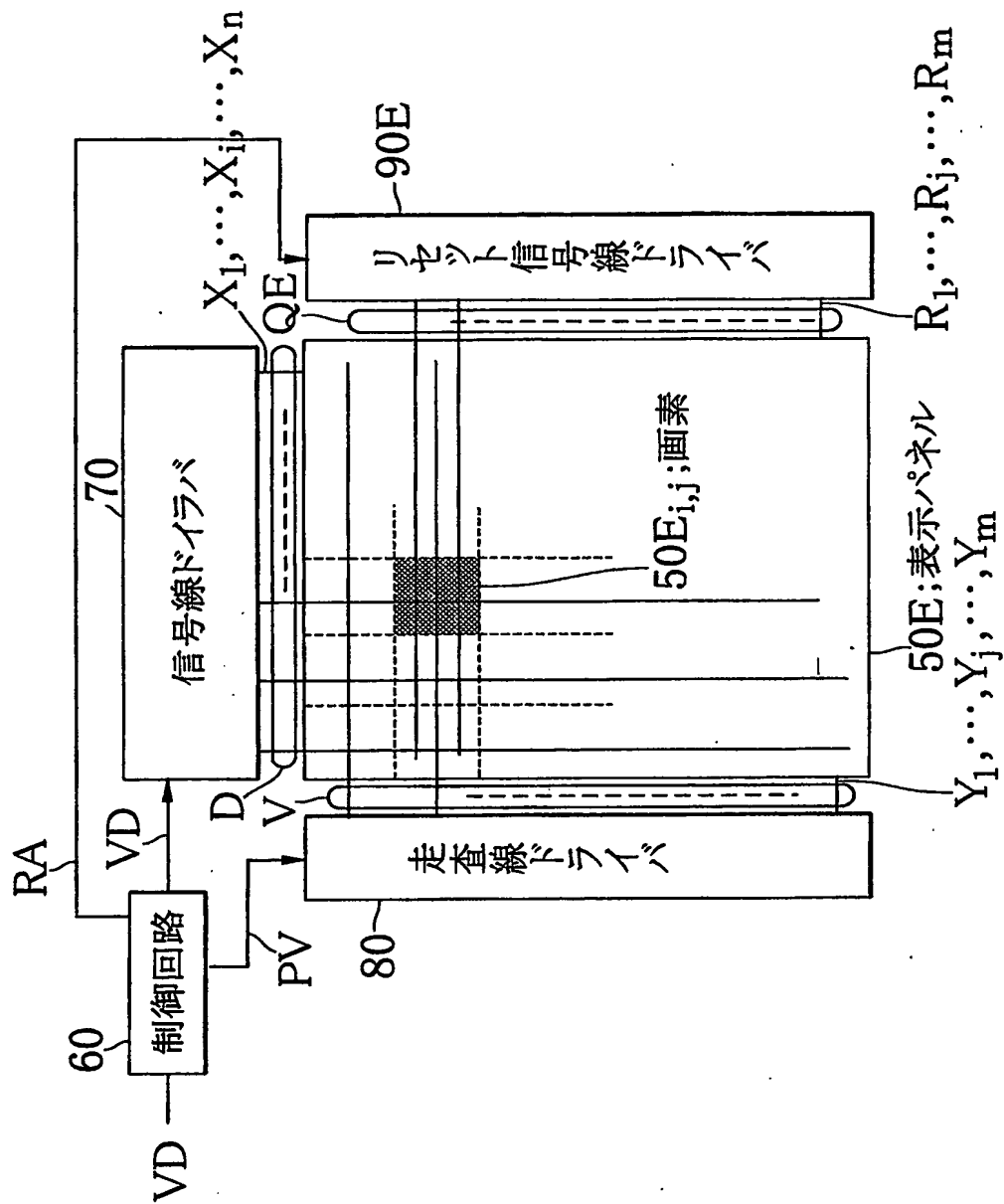
【図17】



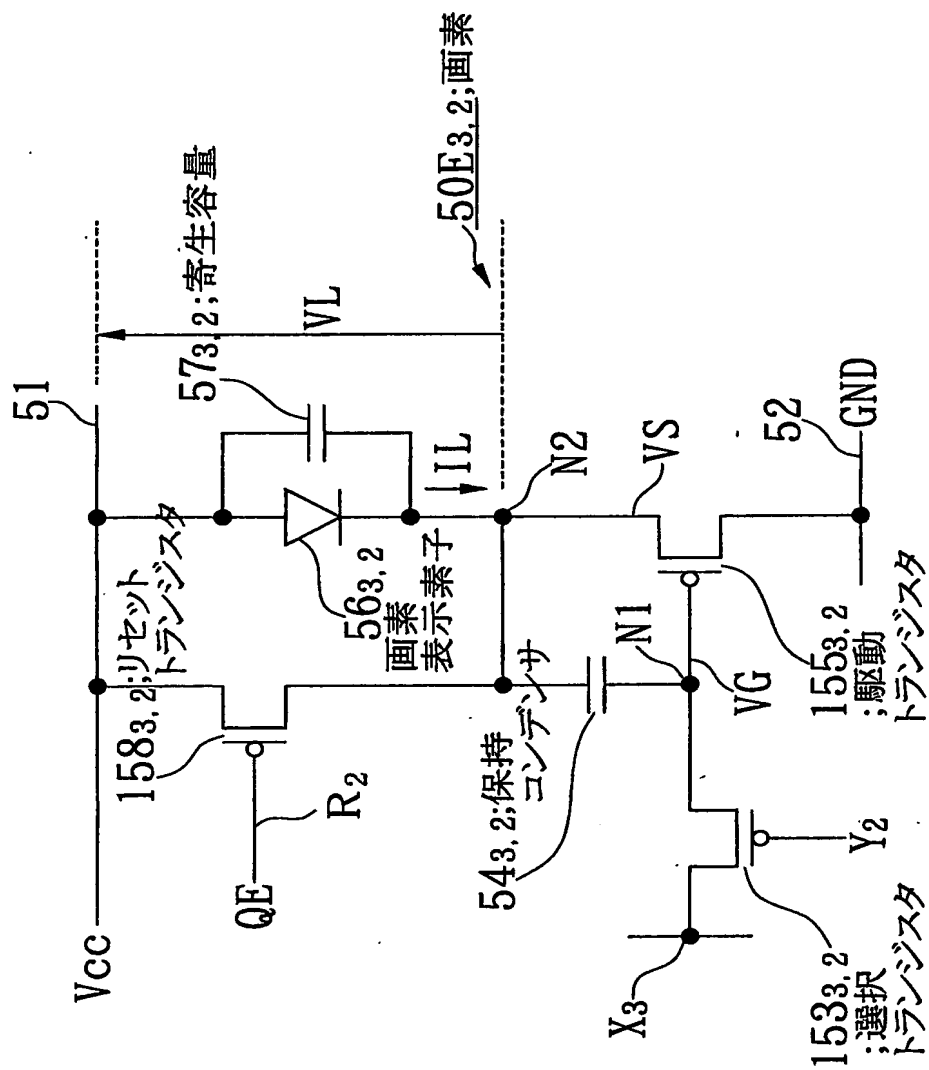
【図18】



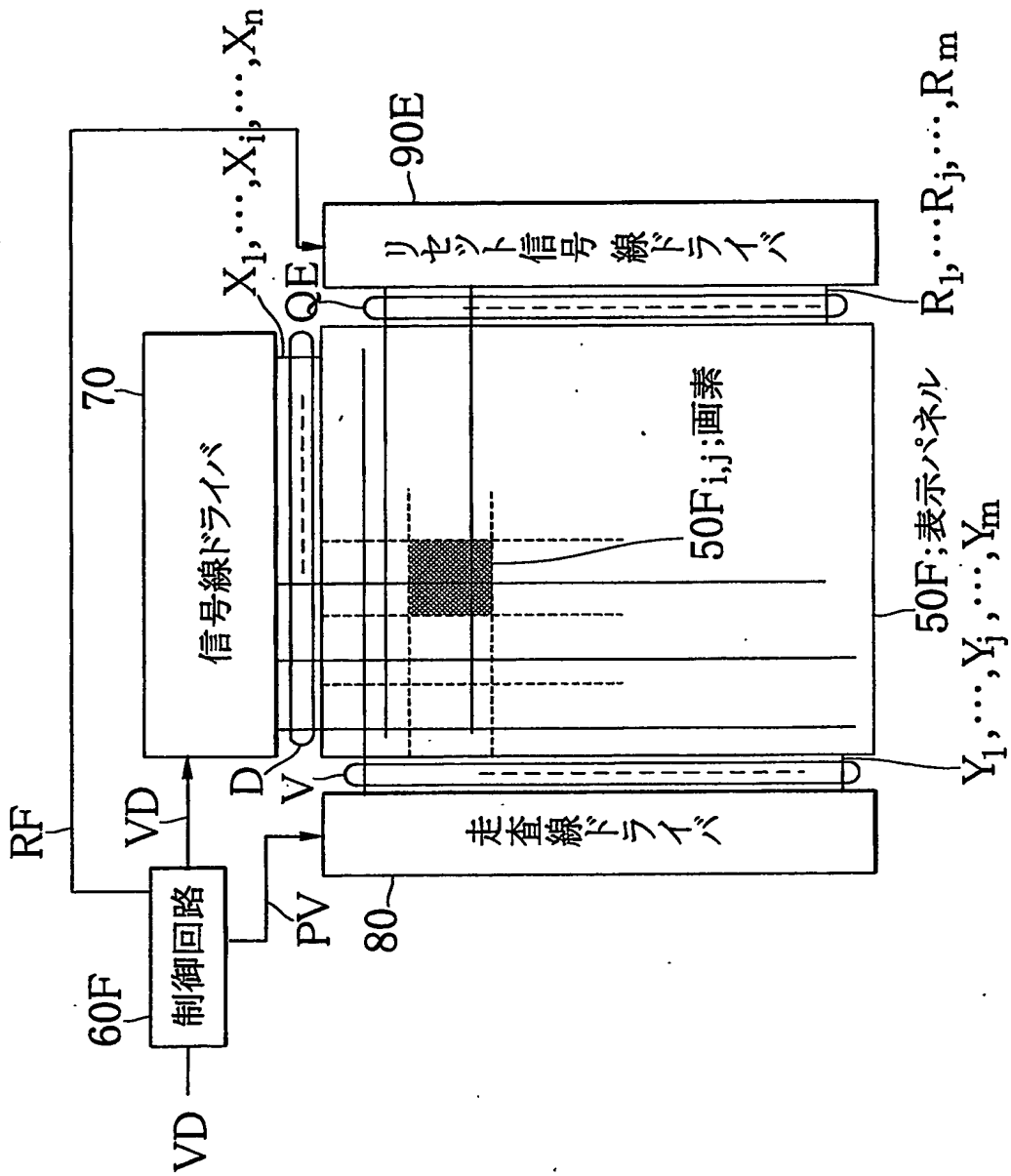
【図19】



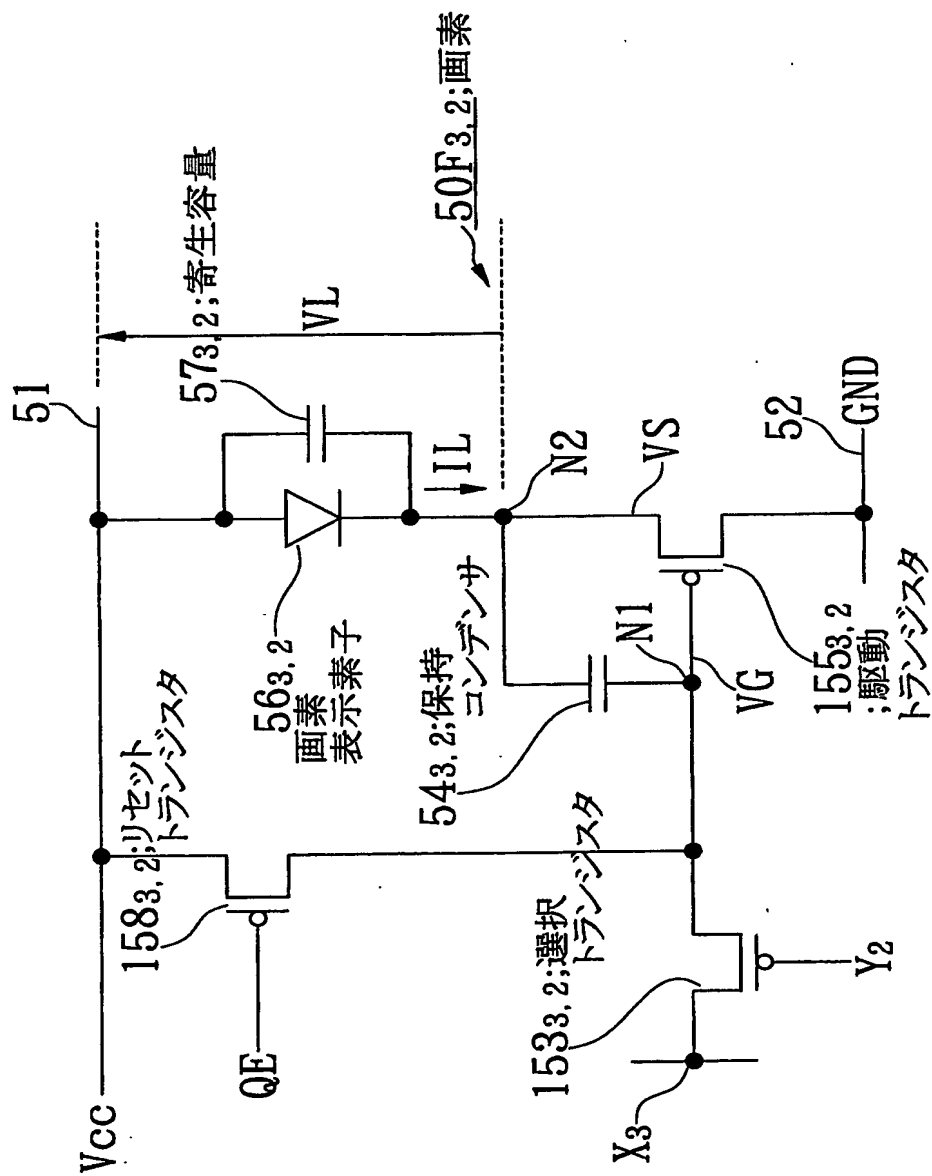
【圖 20】



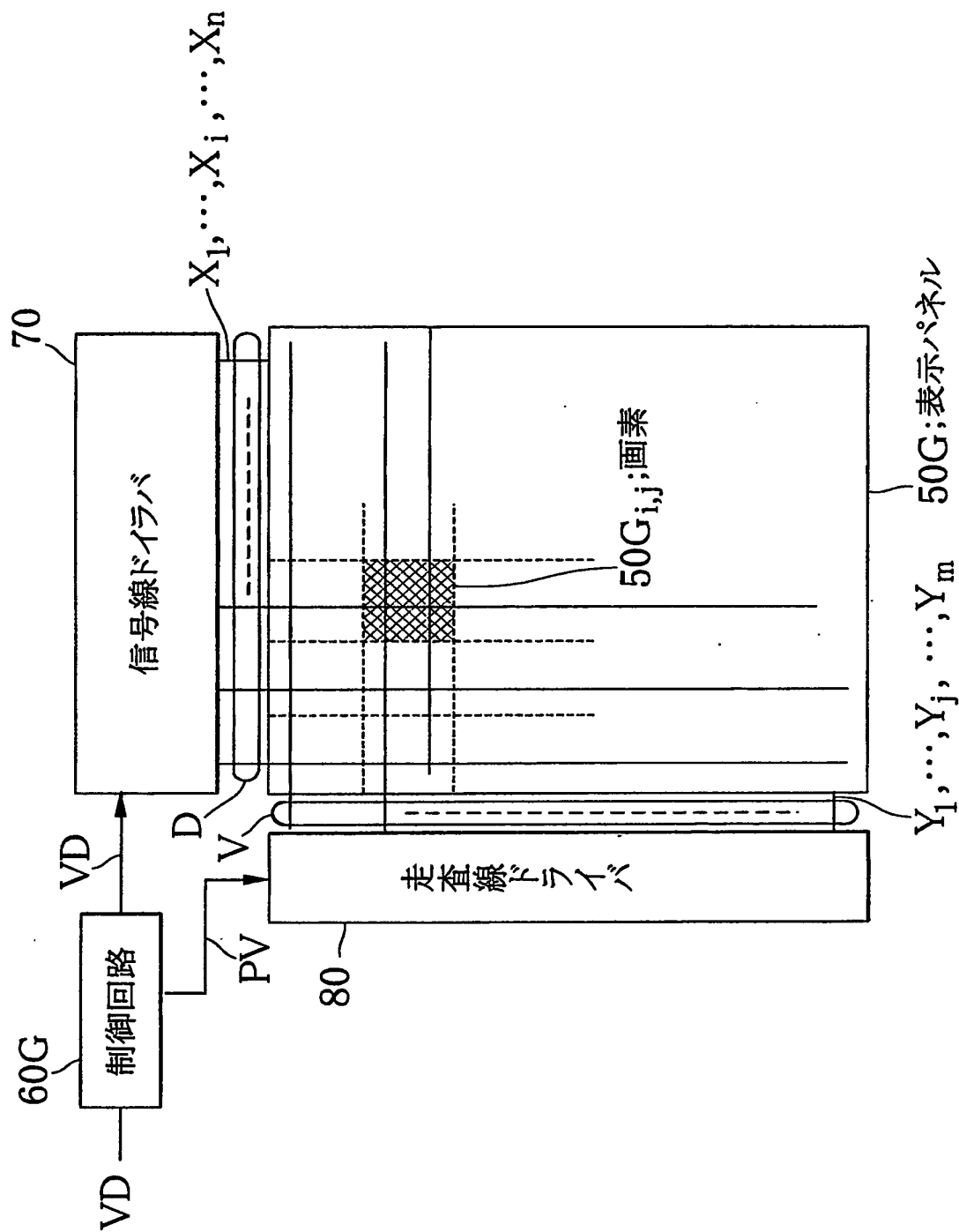
【図 21】



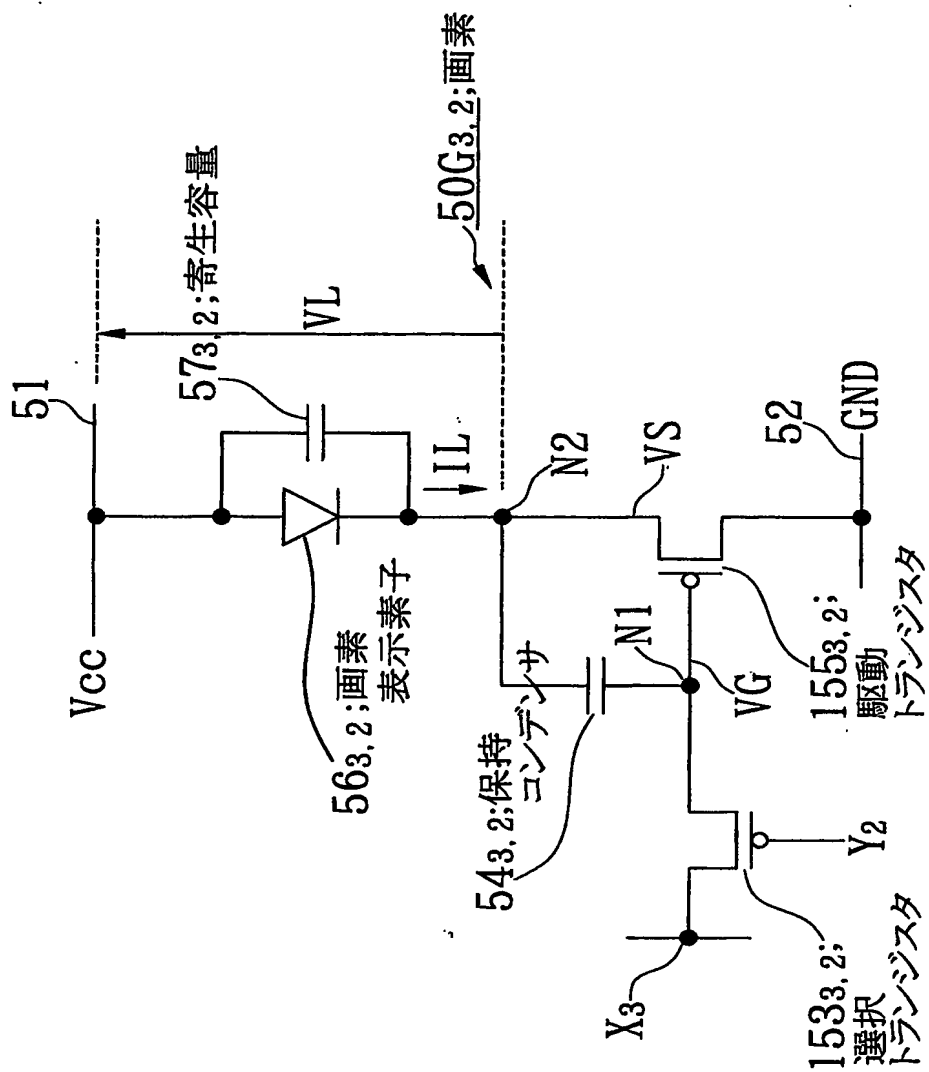
【図 22】



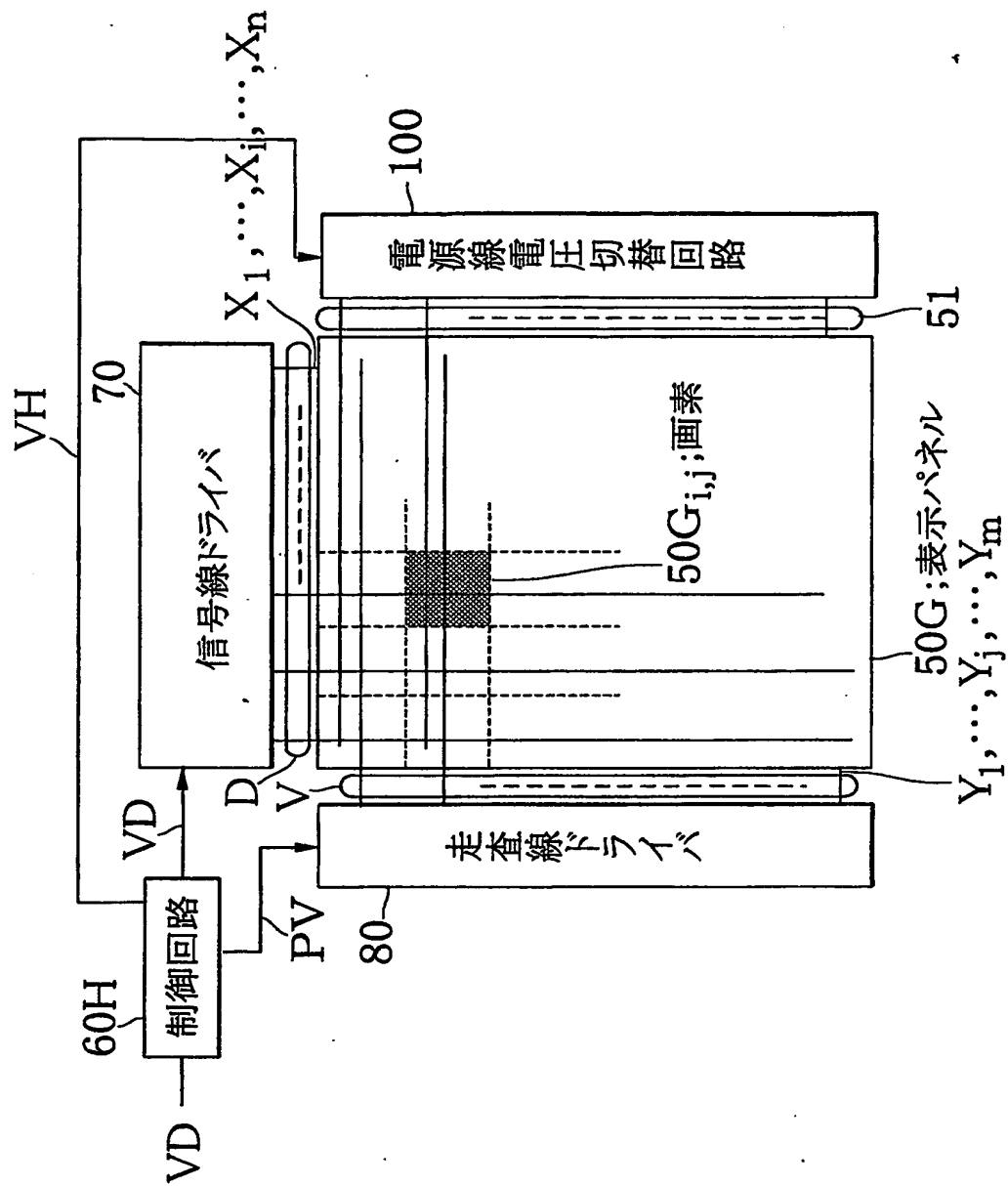
【図 23】



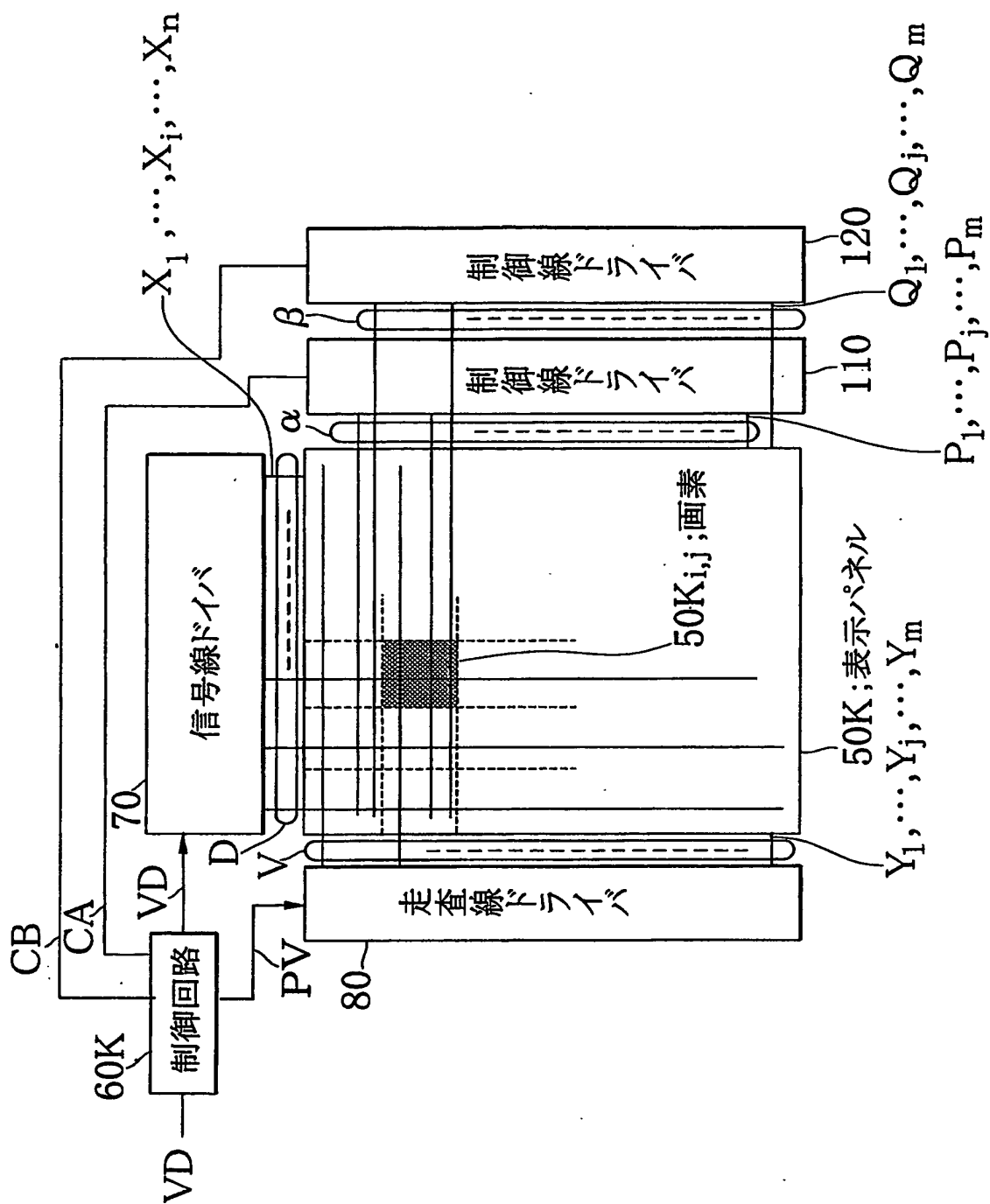
【図 24】



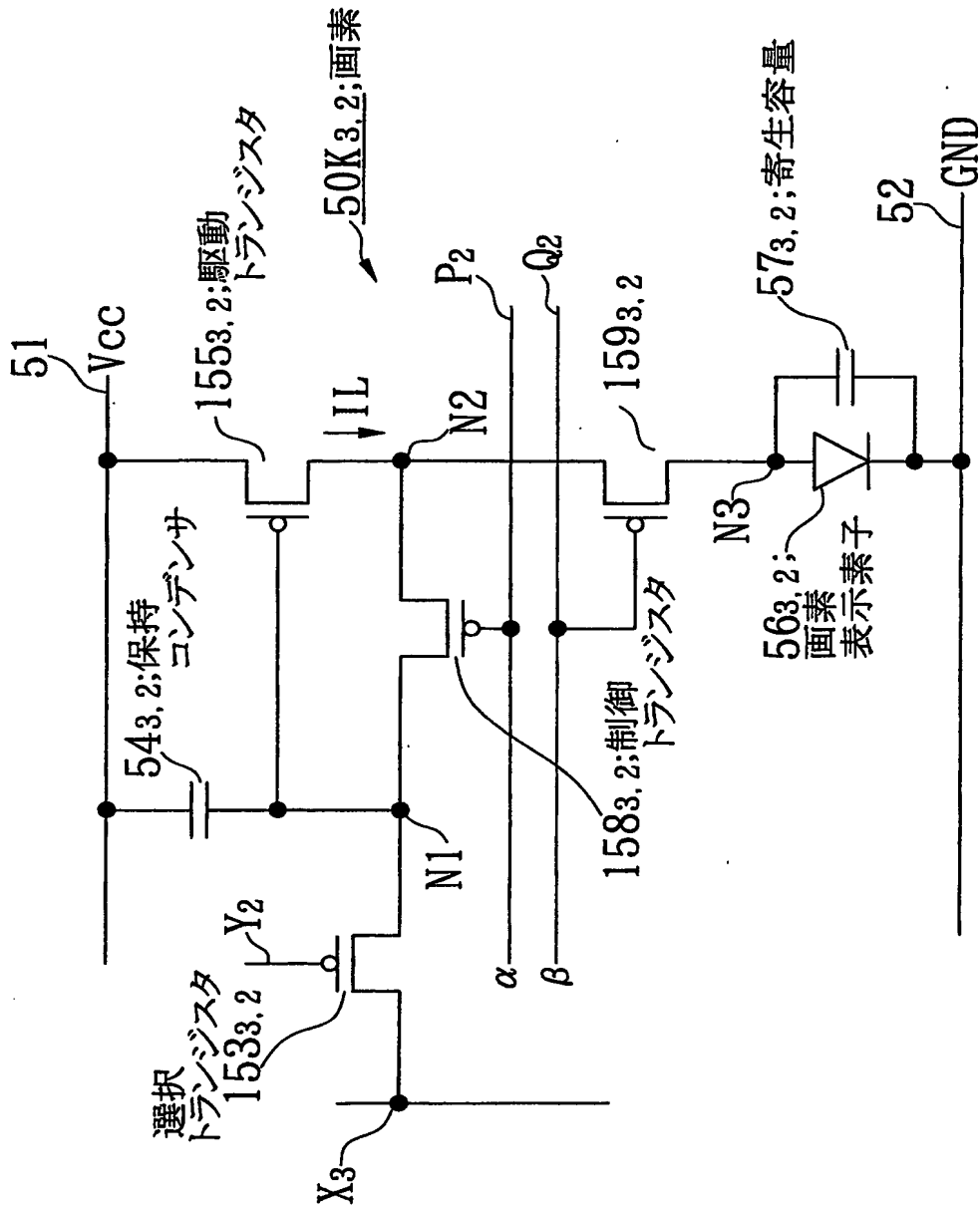
【図 25】



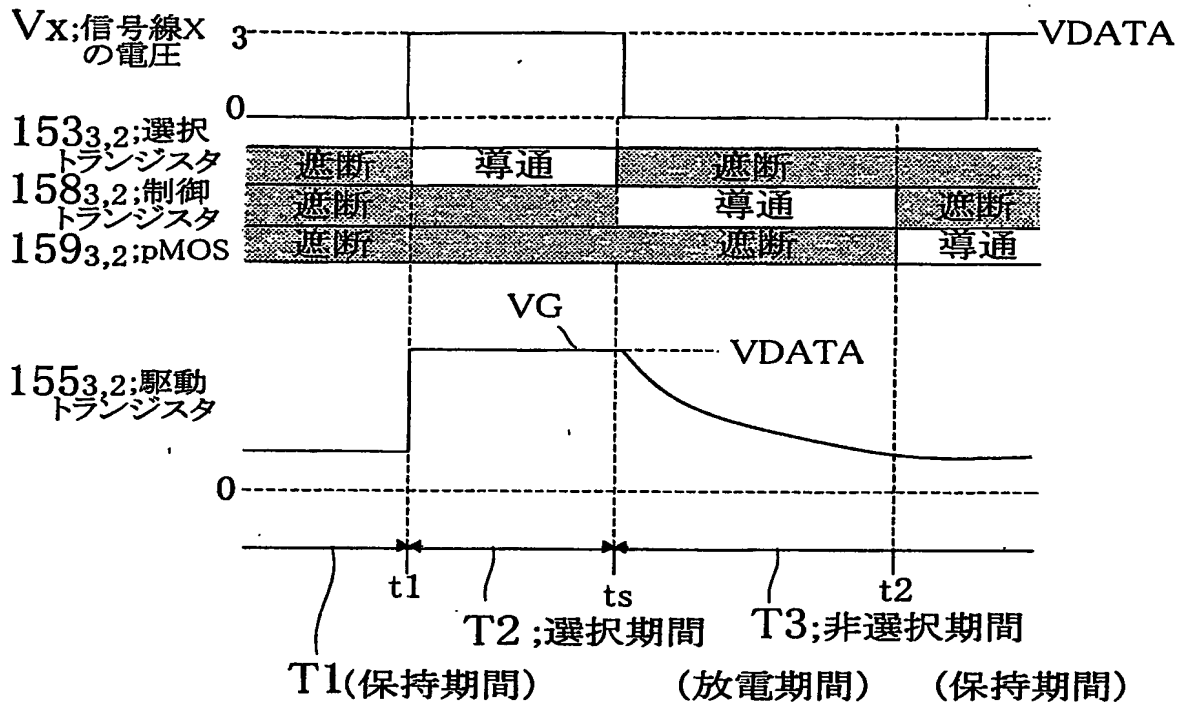
【図 26】



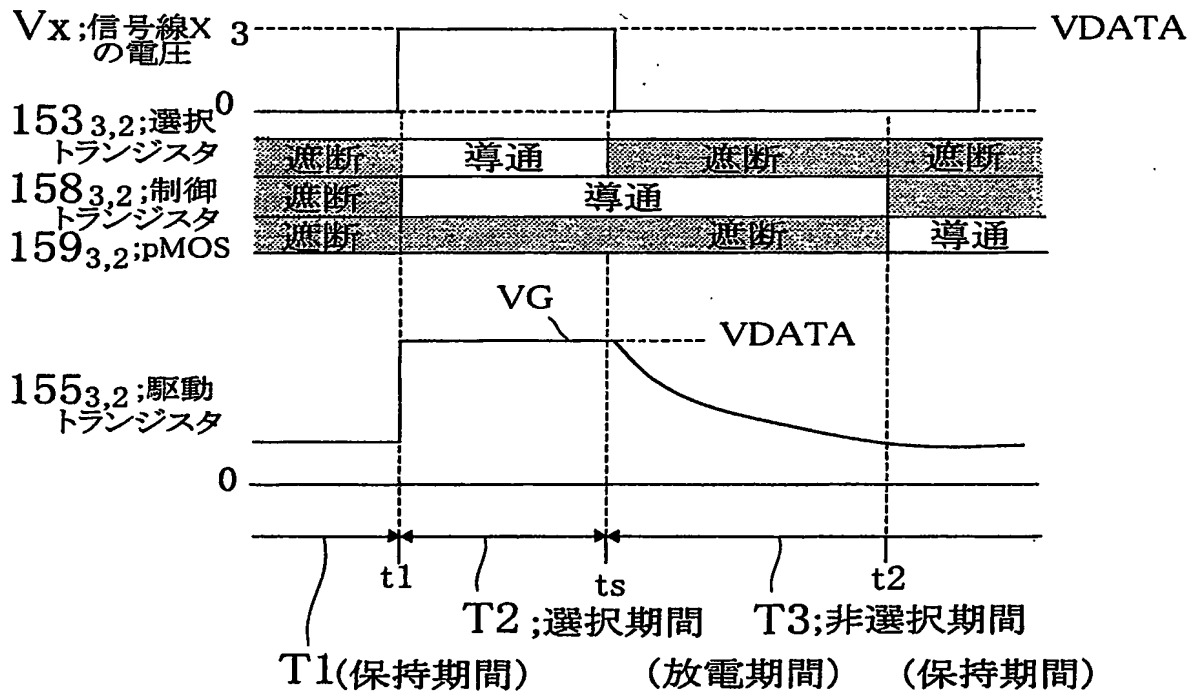
【図 27】



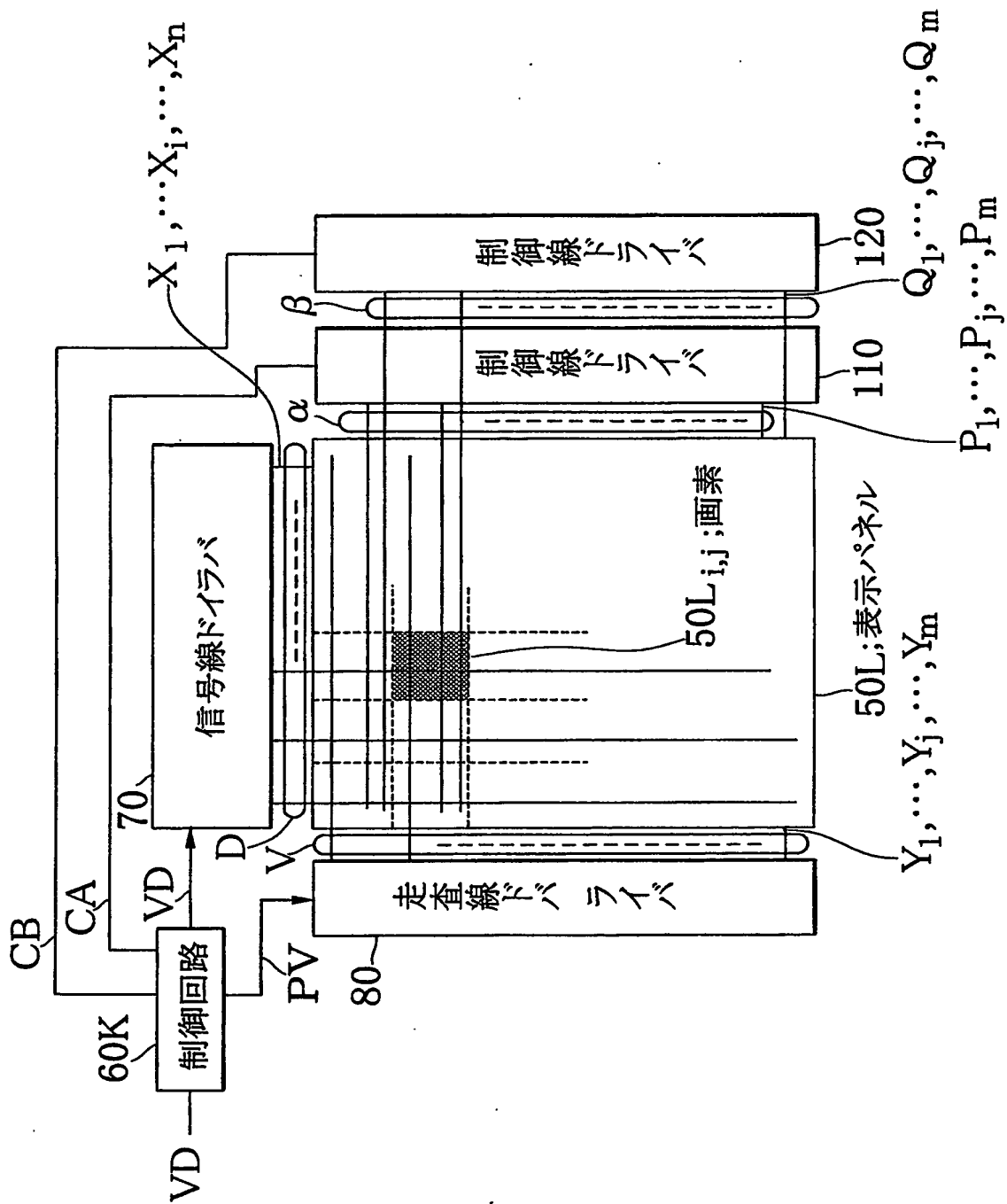
【図 28】



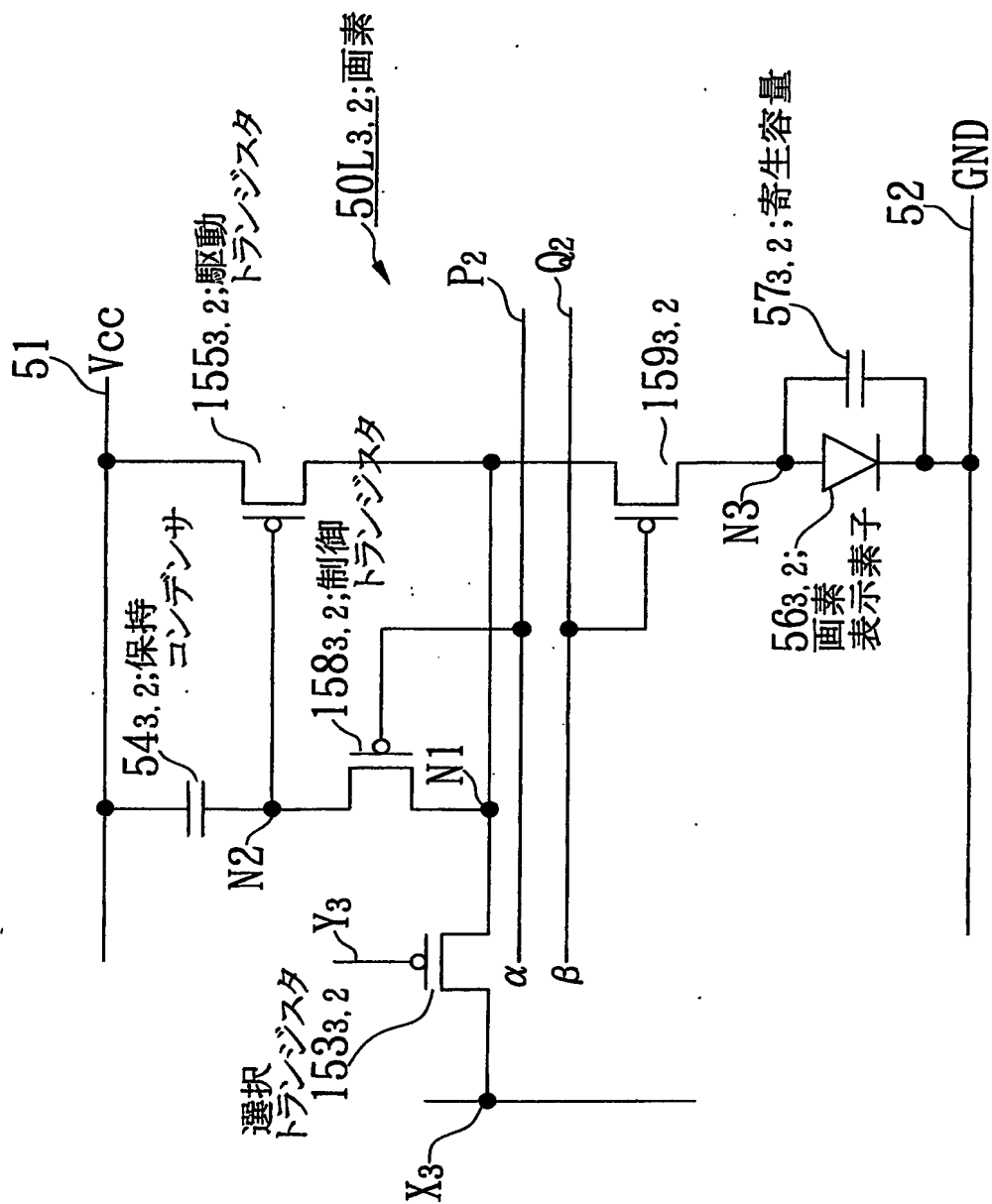
【図 29】



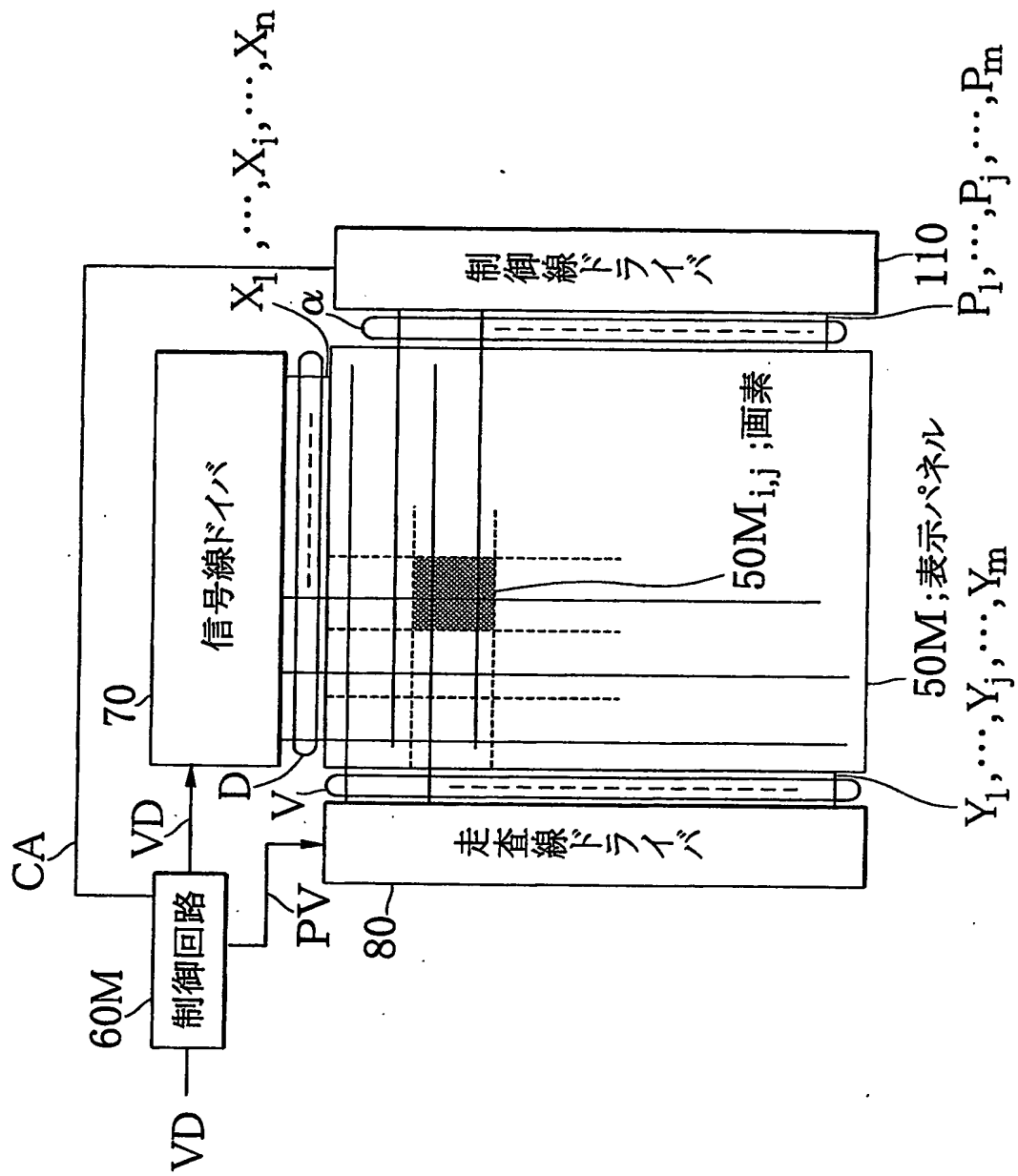
【図 30】



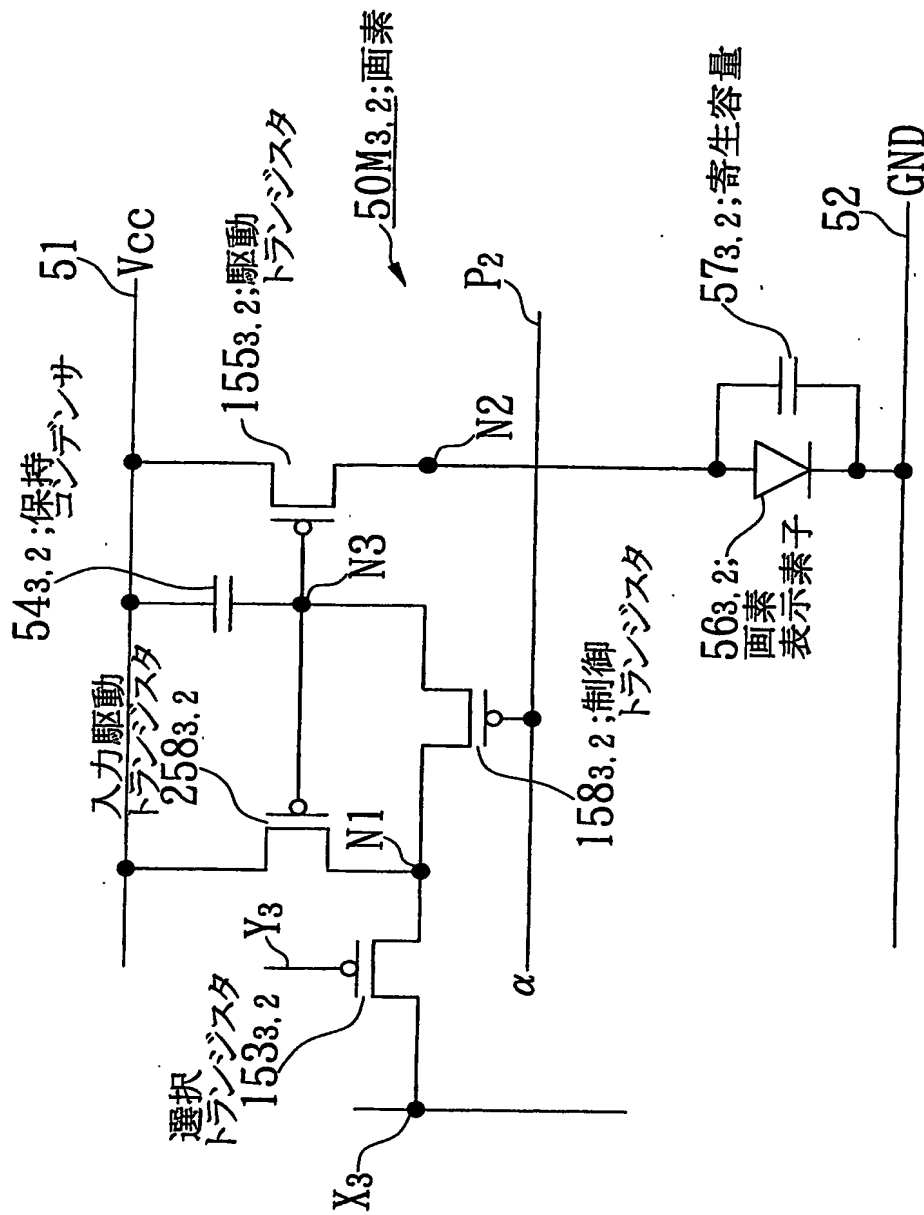
【図 31】



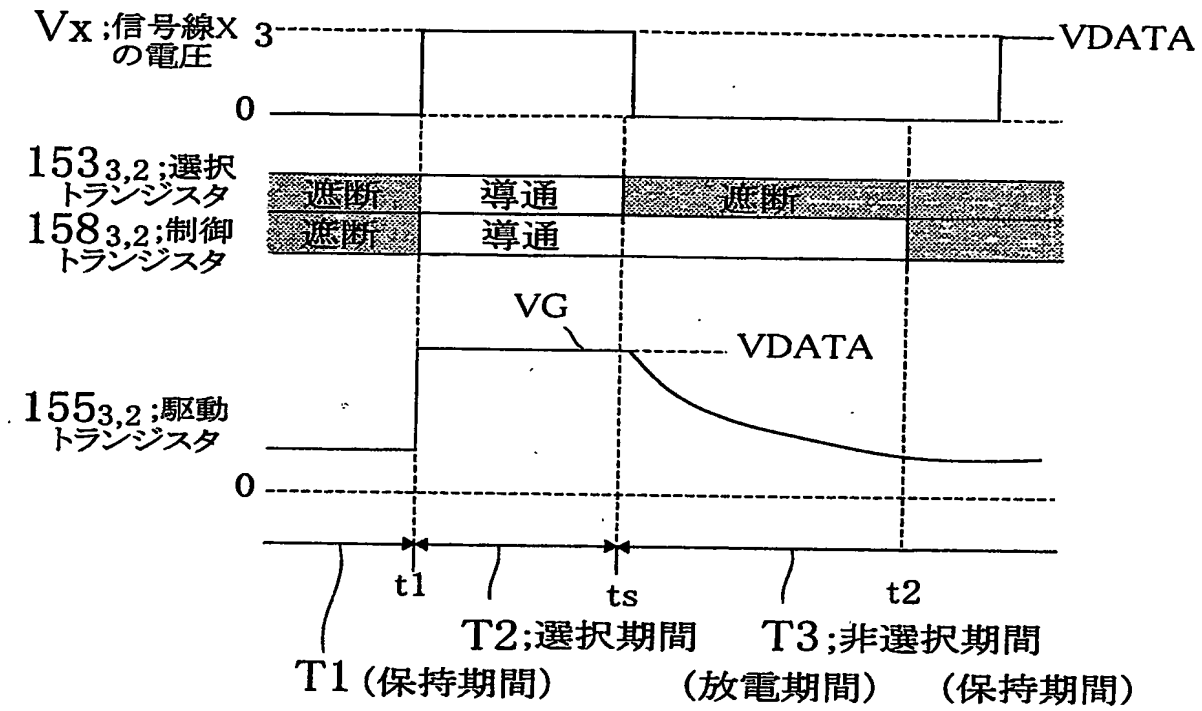
【図 3 2】



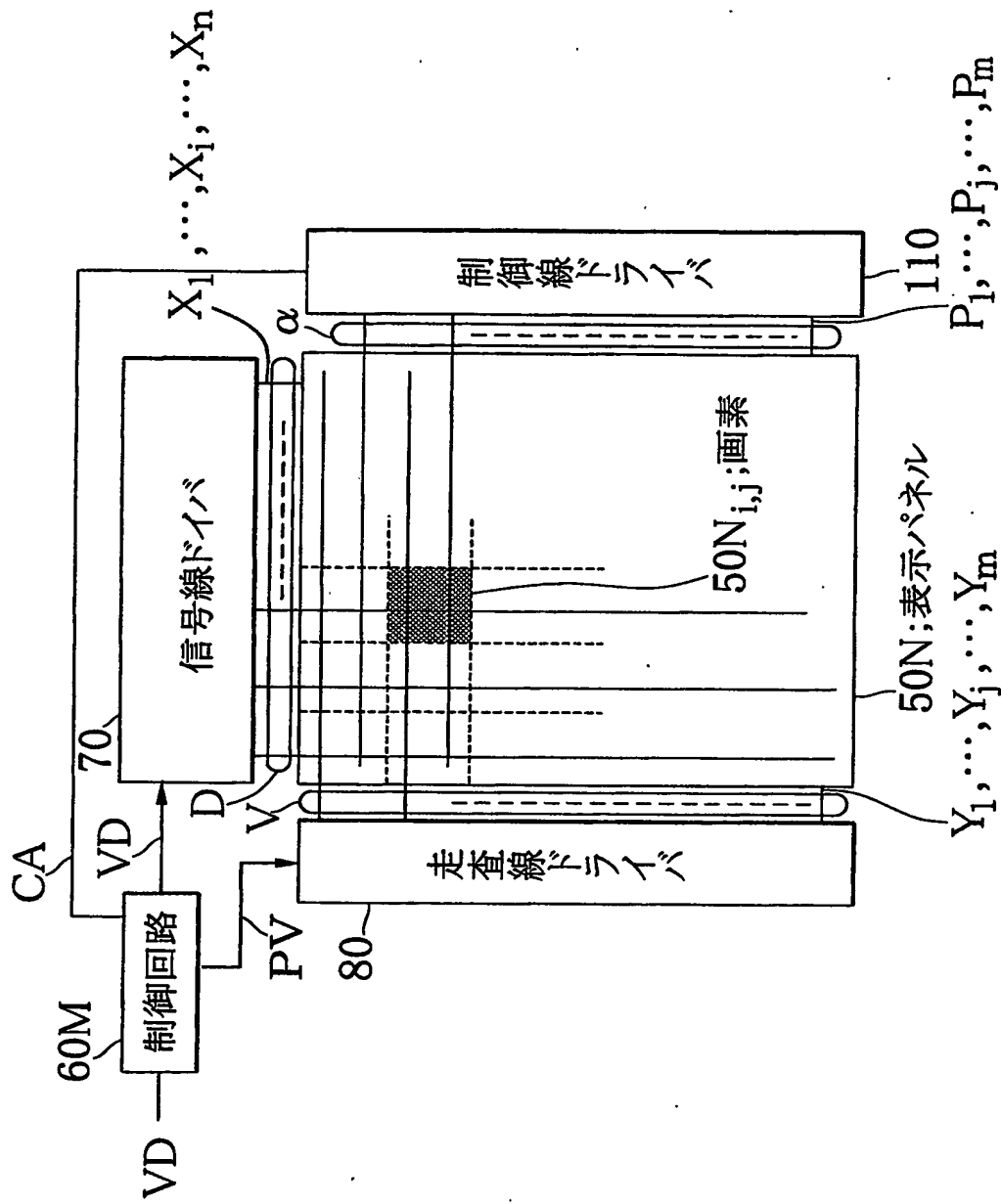
【図 33】



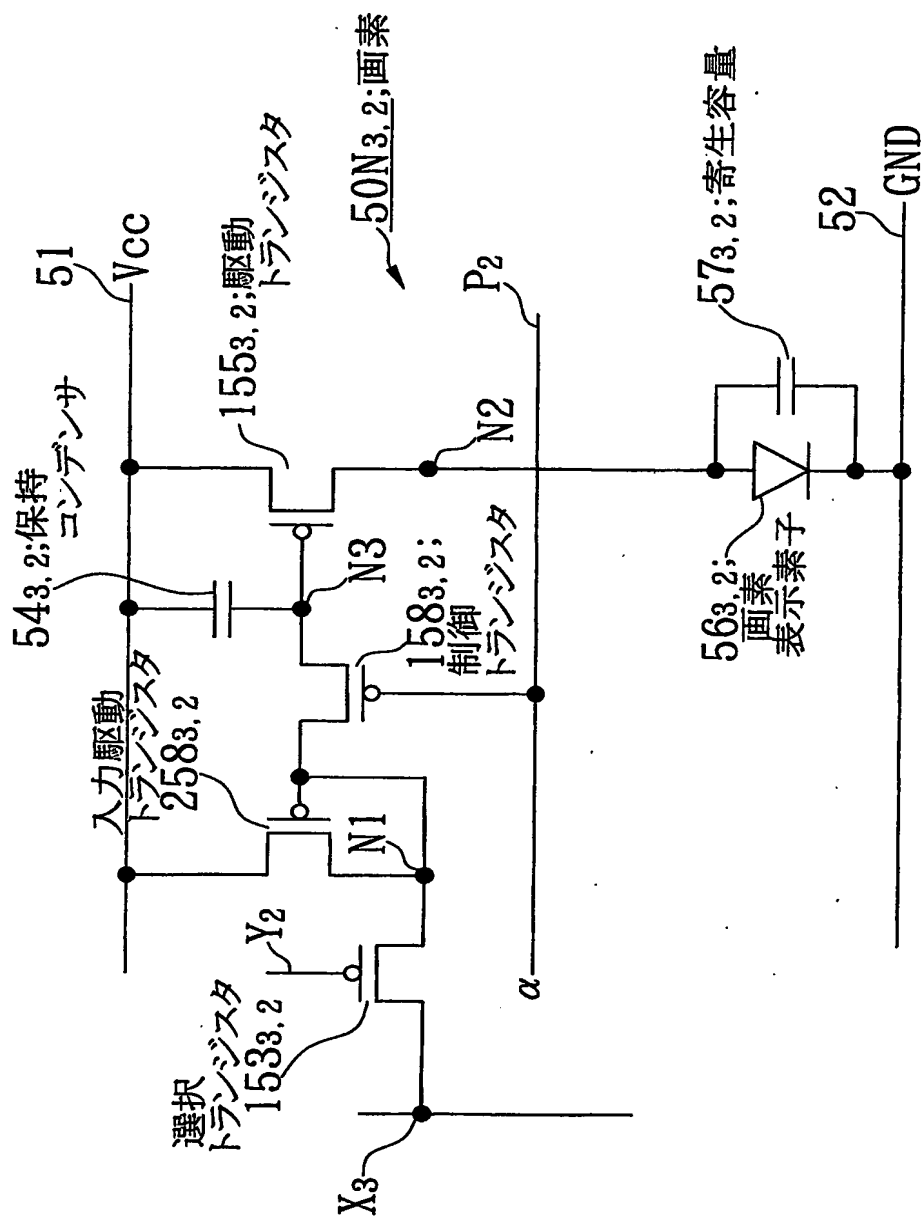
【図 3 4】



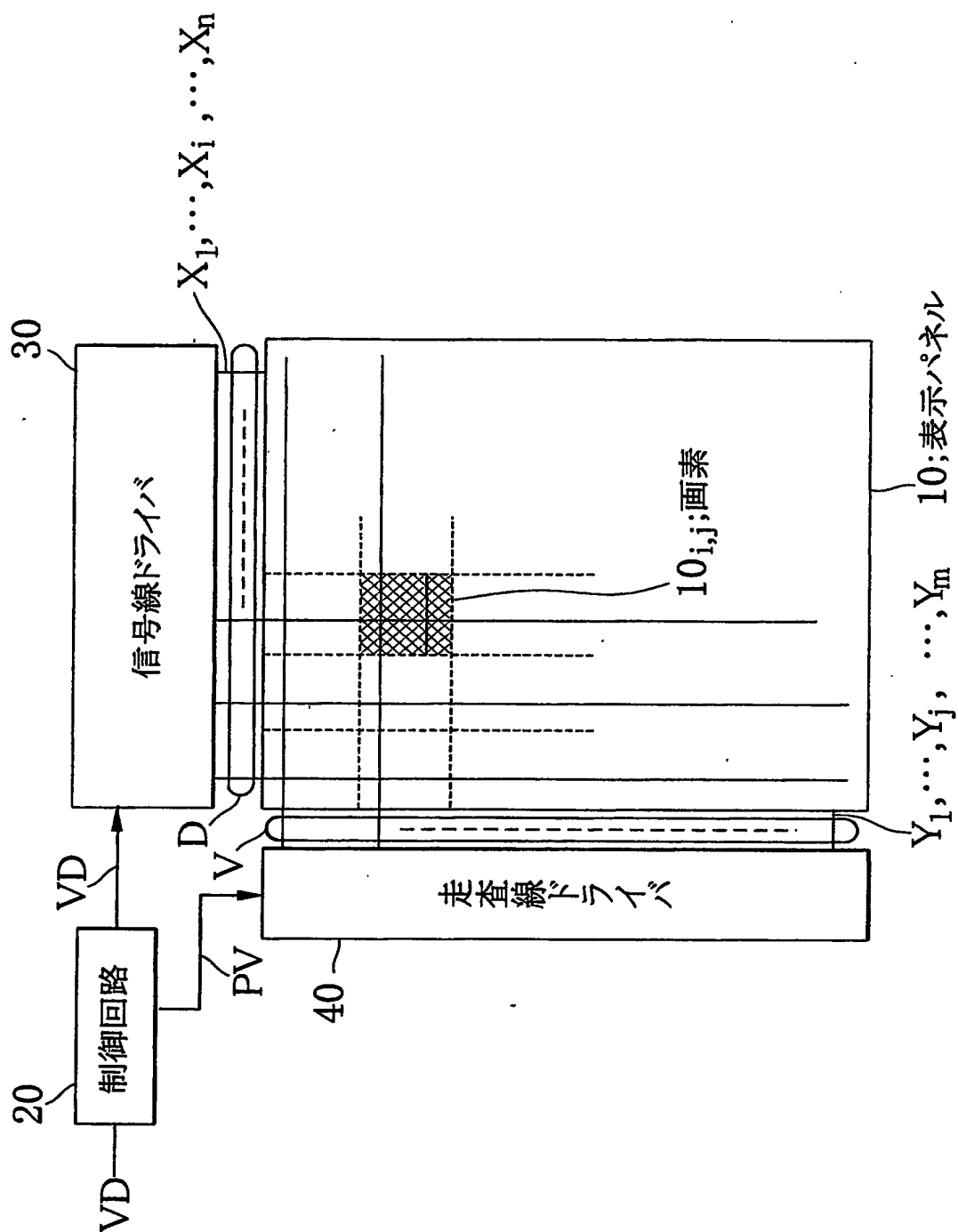
【図 35】



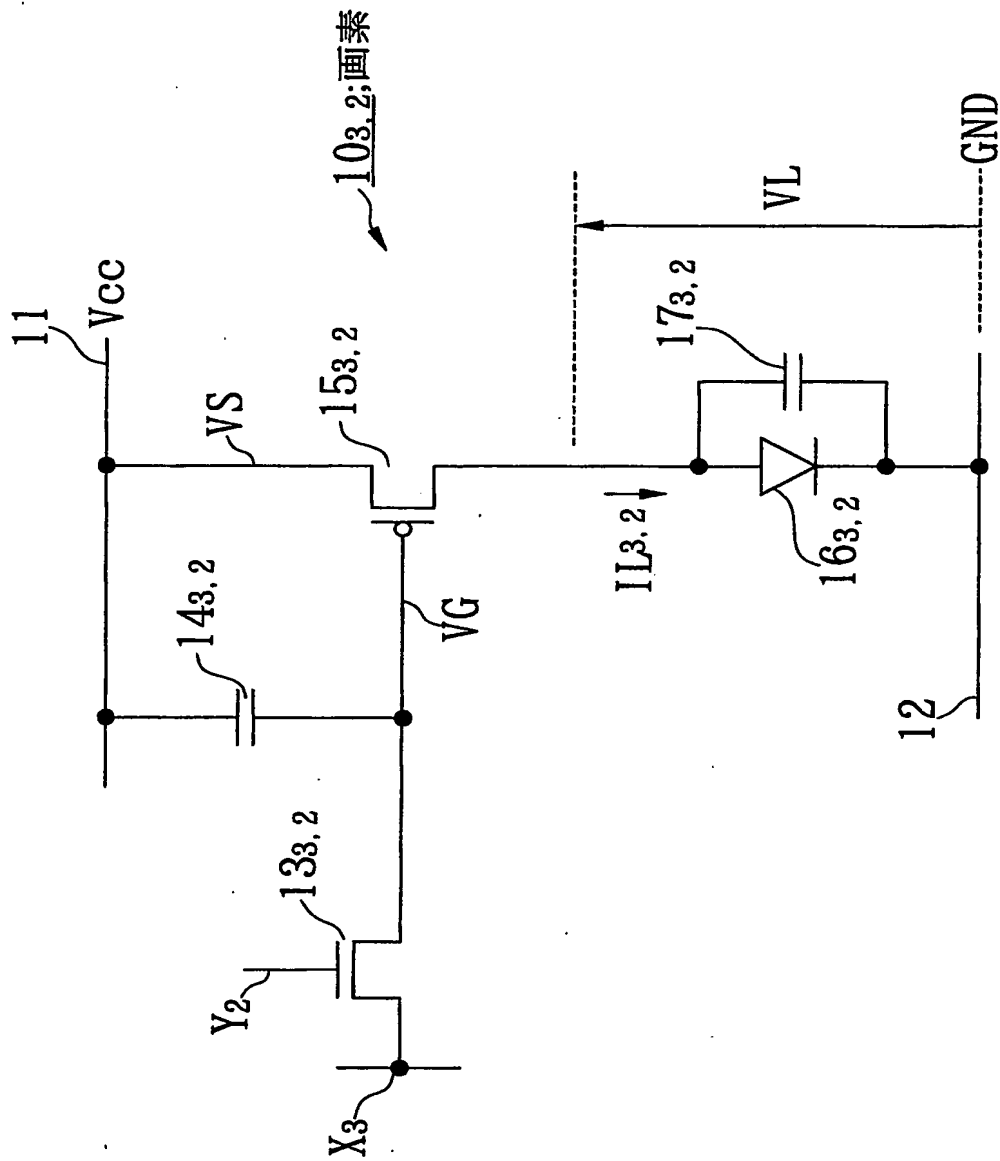
【図 36】



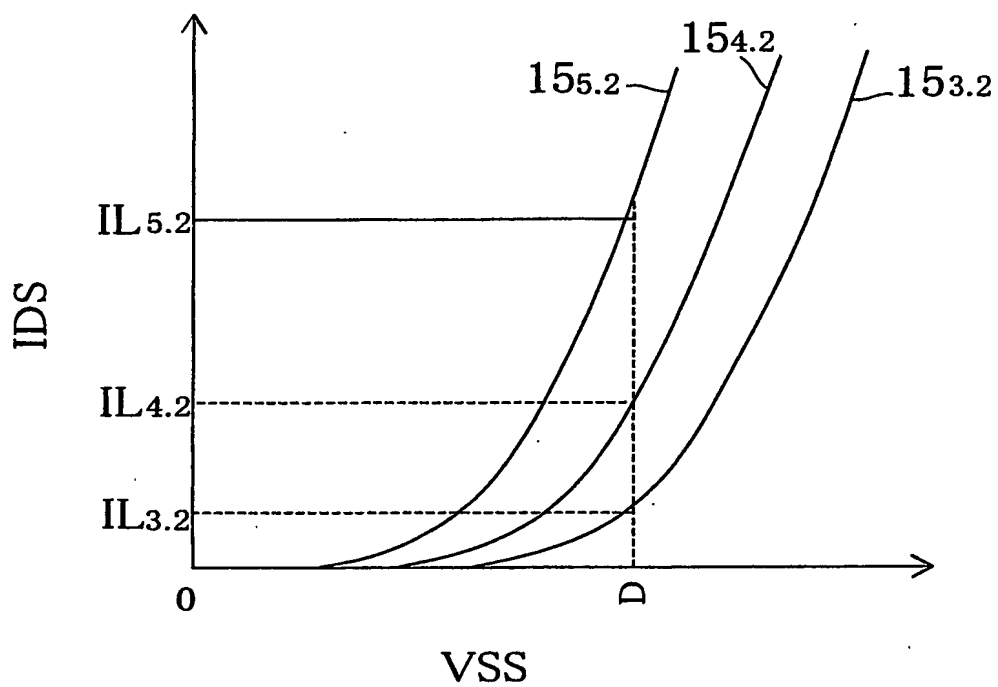
【図 37】



【図 38】



【図 39】



【書類名】 要約書

【要約】

【課題】 画像表示装置の各画素の輝度のばらつきを低減して画質を改善する。

【解決手段】 画像表示部 $50_{3,2}$ において、リセットトランジスタ $58_{3,2}$ をオン状態にして保持コンデンサ $54_{3,2}$ 及び寄生容量 $57_{3,2}$ を放電する。この後、選択トランジスタ $53_{3,2}$ をオン状態にして信号線 X_3 から保持コンデンサ $54_{3,2}$ へ階調画素データを書き込み、書き込まれた階調画素データの電荷を駆動トランジスタ $55_{3,2}$ を介して一定時間放電する。選択トランジスタ $53_{3,2}$ をオフ状態にし、駆動トランジスタ $55_{3,2}$ のゲート電極をフローティングにして保持コンデンサ $54_{3,2}$ に蓄積された階調画素データの電荷を保持する。隣接する画素 $50_{2,2}$, $50_{4,2}$ でも、同様の処理が行われる。このため、駆動トランジスタ $55_{2,2}$, $55_{3,2}$, $55_{4,2}$ の電流のばらつきが小さくなり、画素表示素子 $56_{2,2}$, $56_{3,2}$, $56_{4,2}$ の輝度階調のばらつきが小さくなる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.